

BEST AVAILABLE COPY

10/500573 #2

Rec'd PCT/PTO 03/08857  
01 JUL 2004

日本国特許庁  
JAPAN PATENT OFFICE

11.07.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 7月12日  
Date of Application:

出願番号 特願2002-204780  
Application Number:  
[ST. 10/C]: [JP 2002-204780]

REC'D 29 AUG 2003

WIPG PBT

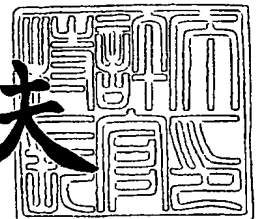
出願人 三菱電機株式会社  
Applicant(s):

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 8月14日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 540313JP01

【提出日】 平成14年 7月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 3/18

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 有賀 博

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 高木 晋一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 酒井 清秀

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9803092

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光半導体用パッケージ

【特許請求の範囲】

【請求項 1】 光半導体素子を搭載する光半導体用パッケージであって、孔を有するステムと、前記ステムの孔に封入されるとともに、一対のピン挿入孔を有する誘電体と、前記誘電体の一対のピン挿入孔に貫通固定され、前記光半導体素子に電氣的に接続される差動線路を構成する一対の高周波信号ピンと、を備えることを特徴とする光半導体用パッケージ。

【請求項 2】 前記誘電体は、ガラスであることを特徴とする請求項 1 に記載の光半導体用パッケージ。

【請求項 3】 前記ステムは、前記誘電体の外側に配置され、誘電体とほぼ同じ熱膨張係数を有する第 1 の部材と、該第 1 の部材の外側に配され、該第 1 の部材より熱伝導性の高い第 2 の部材と、を備えることを特徴とする請求項 1 または 2 に記載の光半導体用パッケージ。

【請求項 4】 前記誘電体は透明または半透明であることを特徴とする請求項 1 ～ 3 の何れか一つに記載の光半導体用パッケージ。

【請求項 5】 前記ステムに形成される孔は、長円形状、楕円形状、もしくは蘭型であることを特徴とする請求項 1 ～ 4 の何れか一つに記載の光半導体用パッケージ。

【請求項 6】 前記一対の高周波信号ピンに並走するグランド部材を前記ステムに設けたことを特徴とする請求項 1 ～ 5 の何れか一つに記載の光半導体用パッケージ。

【請求項 7】 前記グランド部材は一対のグランドピンであり、この一対のグランドピンは、前記一対の高周波信号ピンを挟むように一対の高周波信号ピンの外側に設けられることを特徴とする請求項 6 に記載の光半導体用パッケージ。

【請求項 8】 前記光半導体素子として、一対の電極を有した半導体レーザ

ダイオードを備えるとともに、

一端側が前記一对の高周波信号ピンに接続され、他端側が前記光半導体素子の一对の電極に接続される一对の差動線路を有する差動線路基板と、

一端側が前記光半導体素子の一对の電極に接続され、他端側が外部のバイアス電流源に接続される一对のインダクタンス素子と、

をさらに備えることを特徴とする請求項 1～7 の何れか一つに記載の光半導体用パッケージ。

【請求項 9】 前記差動線路基板の一对の差動線路にスタブをそれぞれ形成したことを特徴とする請求項 8 に記載の光半導体用パッケージ。

【請求項 10】 前記スタブは、互いの差動線路に接近する方向に突出形成されることを特徴とする請求項 9 に記載の光半導体用パッケージ。

【請求項 11】 光通過孔を有し、その端部が前記ステムに固定されることにより、光半導体素子を内蔵する内部空間を密閉するキャップを更に備えることを特徴とする請求項 1～10 の何れか一つに記載の光半導体用パッケージ。

【請求項 12】 光半導体素子および該光半導体素子との間で差動信号が伝送される集積回路を収容する光半導体用パッケージにおいて、

パッケージの壁面に封入固定されるとともに、一对のピン挿入孔を有する誘電体と、

前記一对のピン挿入孔に貫通固定される、差動線路を構成する一对の信号ピンと、

を備え、前記一对の信号ピンを介して前記集積回路との間で差動信号が伝送されることを特徴とする光半導体用パッケージ。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

この発明は、半導体レーザなどの光半導体素子が搭載される光半導体用パッケージに関し、さらに詳しくは光ファイバが付属した同軸型モジュールや、光ファイバを接続するためのレセプタクル型アダプタ付きの光半導体素子モジュールに関するものである。

## 【0002】

## 【従来の技術】

近年、光ファイバを介して光信号を伝送する光通信システムにおいては、インターネットの普及に伴う通信トラフィックの増大に応えるため、光信号の伝送速度の高速化が目覚しく、光送受信器においてもその伝送速度が2.5Gb/sから10Gb/sへと移行しつつあり、現在、40Gb/sの伝送速度の実現に向けて研究開発が進められている。これに伴ない、光送受信器の扱う信号の伝送速度についても、高速化が要求されている。

## 【0003】

光送受信器は、送信するデータ信号を電気信号から光信号に変換し、送信用の光ファイバを介して光信号を送信するとともに、受信用の光ファイバを介して光信号を受信し、受信した光信号を電気信号として再生するものである。

## 【0004】

この種の光送受信器に用いられる光半導体用パッケージとしては、キャンパッケージ、箱形パッケージなどがある。キャンパッケージを用いた従来技術としては、特開平6-314857号公報、特開平11-233876号公報などがある。

## 【0005】

特開平6-314857号公報には、ガラス封止の貫通リードピンを有する単相給電方式の光半導体モジュールに関する開示がある。また特開平11-233876号公報には、金属ステムに、別個の誘電体で封止された一対の離間された信号ピンを設け、差動ドライバの一方の出力を一方の信号ピンを介してレーザダイオードの一方の電極に接続し、差動ドライバの他方の出力をダミー負荷を介し、さらに仮想接地線を介してレーザダイオードの他方の電極に接続して、レーザダイオードを駆動するようにした技術が示されている。

## 【0006】

上記各公報に示されるような単相のキャンパッケージでは、単相方式であるため、10Gb/s以上の変調信号の伝送を行う際には、フィードスルー（ピンが誘電体に覆われた部分）の前後（ピンが誘電体から空気層に露出した部分）でイ

インピーダンスが不整合となり易く、高周波伝送特性が劣化する問題があり、2. 5 Gb/s 程度の信号伝送までにしか利用されていない。

#### 【0007】

なお、特開平11-233876号公報は、差動ドライバにとっての各負荷インピーダンスを同じにして、高速動作時の安定性を図るものでしかなく、信号ピンおよび信号ピンからレーザダイオードまでの線路も差動線路構成としたものではなく、またダミー用抵抗を外部に配置しており、10 Gb/s 以上の変調信号の伝送において信号品質が劣化する。また、この従来技術は、レーザダイオードにとってみれば、アノードとカソードにそれぞれ正相と逆相の差動信号が与えられていないため、差動駆動されるものではない。

#### 【0008】

箱形パッケージを用いた従来技術としては、特開2000-164970号公報、特開2000-19473号公報などがある。特開2000-164970号公報には、グラundedコプレーナ基板のフィードスルーとマイクロストリップ基板とを接続する単相給電方式の箱型パッケージあるいはマイクロストリップ基板のフィードスルーとマイクロストリップ基板とを接続する単相給電方式の箱型パッケージに関する開示がある。特開2000-19473号公報には、グラundedコプレーナ基板のフィードスルーとマイクロストリップ基板とを接続する単相給電方式の箱型パッケージあるいはグラundedコプレーナ基板のフィードスルーとグラundedコプレーナ基板とを接続する単相給電方式の箱型パッケージ、さらには同軸コネクタのフィードスルーとマイクロストリップ基板とを接続する単相給電方式の箱型パッケージに関する開示がある。

#### 【0009】

この種の箱形パッケージでは、セラミック基板とその上面に設けられた金属パターンでマイクロストリップ線路を構成し、給電線路を精度良く造れるので、レーザダイオードに供給される入力信号の劣化が小さい。しかし、セラミック基板自体が単位面積当たり高価であること、フィードスルーを構成しようとする多層セラミックとなること、多層セラミックとリードとを接合する点で、蝕付けなどの工程が必要になり、手間がかかることにより、パッケージが高価となる問題

がある。また、セラミックパッケージの使用によって、パッケージが大型化してしまう。

#### 【0010】

##### 【発明が解決しようとする課題】

この種の光送受信器の分野では、光通信を、幹線系だけでなく、オフィスや家庭などのアクセス系までの市場に広めるためにも、低コストでかつ  $10\text{Gb/s}$  以上の光伝送を実現することができる光半導体素子モジュールが強く要望されている。

#### 【0011】

しかし、特開平6-314857号公報や特開平11-233876号公報に記載されるような従来の光半導体素子モジュールに用いられるキャン型のパッケージでは、フィードスルーの前後でインピーダンスが不整合となり易く、高周波伝送特性が劣化するという問題があった。従って、上述のような  $10\text{Gb/s}$  以上のビットレートの信号伝送に耐えることができない。

#### 【0012】

また、特開2000-164970号公報、特開2000-19473号公報などに記載されるような、セラミックで形成された外部端子の設けられた従来の光半導体素子モジュールに用いられる箱形パッケージでは、 $10\text{Gb/s}$  以上のビットレートで信号伝送することは可能であるものの、セラミック基板自体が単位面積当たり高価であること、フィードスルーを構成しようとすると多層セラミックとなること、多層セラミックとリードとを接合する点で、蝋付けなどの工程が必要になり、手間がかかること、あるいはパッケージが高価となるなどの問題があった。

#### 【0013】

この発明は上記に鑑みてなされたもので、コストを安く維持できるとともに、高周波伝送特性が良好で、 $10\text{Gb/s}$  以上の高速動作が可能な光半導体用パッケージを得ることを目的とする。

#### 【0014】

##### 【課題を解決するための手段】



上記目的を達成するため、この発明にかかる光半導体用パッケージは、光半導体素子を搭載する光半導体用パッケージであって、孔を有するステムと、前記ステムの孔に封入されるとともに、一対のピン挿入孔を有する誘電体と、前記誘電体の一対のピン挿入孔に貫通固定され、前記光半導体素子に電氣的に接続される差動線路を構成する一対の高周波信号ピンとを備えることを特徴とする。

【0015】

また、前記誘電体は、ガラスであってもよい。

【0016】

また、前記ステムは、前記誘電体の外側に配置され、誘電体とほぼ同じ熱膨張係数を有する第1の部材と、該第1の部材の外側に配され、第1部材より熱伝導性の高い第2の部材とを備えていてもよい。

【0017】

また、前記誘電体は透明または半透明であってもよい。

【0018】

また、前記ステムに形成される孔は、長円形状、楕円形状、もしくは繭型であってもよい。

【0019】

また、前記一対の高周波信号ピンに並走するグランド部材を前記ステムに設けてもよい。

【0020】

また、前記グランド部材は一対のグランドピンであり、この一対のグランドピンは、前記一対の高周波信号ピンを挟むように一対の高周波信号ピンの外側に設けられていてもよい。

【0021】

また、前記光半導体素子として、半導体レーザダイオードを備えるとともに、一端側が前記一対の高周波信号ピンに接続され、他端側が前記光半導体素子の一対の電極に接続される一対の差動線路を有する差動線路基板と、一端側が前記光半導体素子の一対の電極に接続され、他端側が外部のバイアス電流源に接続される一対のインダクタンス素子とをさらに備えていてもよい。

**【0022】**

また、前記差動線路基板の一对の差動線路にスタブをそれぞれ形成してもよい。

**【0023】**

また、前記スタブは、互いの差動線路に接近する方向に突出形成されていてもよい。

**【0024】**

また、その端部が前記ステムに固定されることにより、光半導体素子を内蔵する内部空間を密閉するキャップを更に備えていてもよい。

**【0025】**

また、つぎの発明は、光半導体素子および該光半導体素子との間で差動信号が伝送される集積回路を収容する光半導体用パッケージにおいて、パッケージの壁面に封入固定されるとともに、一对のピン挿入孔を有する誘電体と、前記一对のピン挿入孔に貫通固定される、差動線路を構成する一对の信号ピンとを備え、前記一对の信号ピンを介して前記集積回路との間で差動信号が伝送されることを特徴としている。

**【0026】****【発明の実施の形態】**

以下に添付図面を参照して、この発明にかかる光半導体用パッケージの好適な実施の形態を詳細に説明する。この実施の形態の光半導体用パッケージは、例えば、ビル内に設置されたサーバ間の接続、異なるビルに設置されたサーバ間の接続などのローカルエリアネットワークに適用される光半導体素子モジュールで用されるものである。

**【0027】****実施の形態1.**

図1～図17に従って、この発明の実施の形態1の光半導体素子モジュールに用いる光半導体用パッケージについて説明する。この実施の形態1の光半導体用パッケージは、安価なキャンパッケージ型のモジュール形態を採用しており、パッケージ内には光半導体素子としてレーザダイオード（以下LDという）が内蔵

されている。また、本明細書では、光半導体用パッケージとは、密閉用のキャップ（蓋）がないものも含めた総称であるとする。

#### 【0028】

図1は光半導体用パッケージ（以下キャンパッケージという）1の外観構成を示すもので、図2はキャンパッケージ1およびレセプタクル2から構成される光半導体素子モジュール（以下、この実施の形態では主にLDを搭載した例を示すので、LDモジュールと呼ぶ）3の外観構成を示すもので、図3（a）（b）はLDモジュール3の水平断面（図2のx軸に平行な方向）、垂直断面図（図2のy軸に平行な方向）を示すものである。

#### 【0029】

図1～図3に示すように、キャンパッケージ1は、バイアス給電ピン、高周波信号ピンなどがマウントされる円板状のステム10と、複数のセラミック基板が搭載される台形柱状の台座11（台座ブロック）と、LD40から発生されたレーザ光を集光する集光レンズ12と、台座11などを外部から密閉するための円筒形のキャップ13などを備えている。

#### 【0030】

キャップ13は、図3に示すように、プロジェクション溶接などによってステム10に固定される第1キャップ部材13aと、この第1キャップ部材13aの先端側に外嵌されてYAG溶接などによって第1キャップ部材13aに固定される第2キャップ部材13bとから成る2段円筒形状を成している。具体的には、第1キャップ部材13aは段付きの外筒を有し、太い径の外筒の先に細い径の外筒が設けられている。この細い径の外筒の外周に対して、第2キャップ部材13bの一端側の内筒が嵌合し、貫通YAG溶接によって第1キャップ部材13aと第2キャップ部材13bが固定される。

#### 【0031】

第1キャップ部材13aの先端側には、レンズ挿入用の孔14が形成されており、この孔14に集光レンズ12が挿入される。集光レンズ12は、ネジ、接着材などによって第1キャップ部材13aに固定される。第1キャップ部材13aの内部空間15は、ガラス製のウィンドウ16によって外部から画成されており

、これにより台座 11 が収納される内部空間 15 を気密状態に保つようにしている。なお、集光レンズ 12 をキャップ 13 の孔 14 に接着固定するによって、内部空間 15 を気密状態に保つことが可能な場合は、ウィンドウ 16 を省略してもよい。

#### 【0032】

第 2 キャップ部材 13 b の集光レンズ 12 に対向する部分（他端側）には、レーザ光を通過させるための孔 17 が形成されている。この第 2 キャップ部材 13 b を第 1 キャップ部材 13 a に対して摺動させ、レーザ光軸方向に位置決め調整し、第 1 キャップ部材 13 a に YAG 溶接固定することで、集光レンズ 12 とレセプタクル 2 内のダミーフェルール 18 とのレーザ光軸方向の位置合わせを行う。

#### 【0033】

レセプタクル 2 は、光ファイバ 20 が接続されたフェルール 21（図 2 参照）が挿入されるフェルール挿入孔 19 を有している。フェルール挿入孔 19 内のキャンパッケージ 1 側には、内部に光ファイバ 18 a が配設されているダミーフェルール 18 が圧入され固定されている。レセプタクル 2 におけるダミーフェルール 18 が固定される側の一端面は、YAG 溶接による突き合わせ溶接などによってキャンパッケージ 1 の第 2 キャップ部材 13 b の他端側の端面に固定される。レセプタクル 2 を第 2 キャップ部材 13 b に固定する際に、互いの接合面を当接させた状態でレーザ光軸方向に垂直な 2 つの方向に対する位置決め調整を行うことで、集光レンズ 12 とレセプタクル 2 内のダミーフェルール 18 とのレーザ光軸に直角な 2 つの方向に関する位置合わせを行う。

#### 【0034】

光ファイバ 20 が接続されているフェルール 21 は、フェルール 21 がレセプタクル 2 のフェルール挿入孔 19 に挿入されたとき、ダミーフェルール 18 の方にフェルール 21 を押圧し、かつフェルール 21 をレセプタクル 2 にロック固定するための適宜の機構（図示せず）を有している。したがって、フェルール 21 がレセプタクル 2 のフェルール挿入孔 19 に挿入されると、ダミーフェルール 18 の光ファイバ 18 a とフェルール 21 内の光ファイバ 20 の端面同士が当接し

、これによりファイバ間が接続（光結合）される。

#### 【0035】

つぎに、キャンパッケージ1内の構成について説明する。キャンパッケージ1内の構成を説明する前に、キャンパッケージ1内の各構成要素の等価回路を図4を用いて説明する。

#### 【0036】

図4は、キャンパッケージ1内の各構成要素の回路構成およびキャンパッケージ1内のLD40を駆動するLD駆動回路100の回路構成例を示すものである。LD駆動回路100は、キャンパッケージ1と電気接続される外部基板に搭載されている。なお、外部基板には、グラundedコプレーナ差動線路70（図5、図6参照）が設けられている。

#### 【0037】

LD駆動回路100は、差動型の入力構成を有する入力バッファ102と、正相信号および逆相信号を出力する差動構成をなす一対のトランジスタ103、104と、バイアス定電流源としてのトランジスタ105と、インピーダンス整合をとるための抵抗106、107とを備えている。

#### 【0038】

入力バッファ102は、入力される正相信号と逆相信号の波形を整形し、整形した正相信号と逆相信号をトランジスタ103および104のベースに出力する。

#### 【0039】

差動構成をなす一対のトランジスタ103、104は、差動増幅器を構成する。トランジスタ103、104の夫々のコレクタ側は、抵抗106および107に接続されている。抵抗106、107の他方側は接地端子に接続されている。トランジスタ103、104の夫々のエミッタは、定電流源であるトランジスタ105のコレクタに接続されている。トランジスタ103のベースは入力バッファ102の逆相信号出力端子に接続され、トランジスタ104のベースは入力バッファ102の正相信号出力端子に接続されている。すなわち、正相の入力されたトランジスタ104は正相信号 $I_2$ を、逆相の入力されたトランジスタ103

は逆相信号  $I_1$  を、トランジスタ 105 にて決定される電流値に変換して出力する。トランジスタ 105 のエミッタ側が負電源  $V_{ee1}$  に接続されている。

#### 【0040】

トランジスタ 103, 104 のエミッタ側の出力端子は、マイクロストリップ差動線路やグラunded コプレーナ差動線路や後述する高周波信号ピンなどで構成される分布定数回路 30、整合抵抗 31a, 31b を介して LD40 の一対の電極（カソード、アノード）に接続されている。

#### 【0041】

キャンパッケージ 1 側は、分布定数回路 30 と、20  $\Omega$  程度のインピーダンス整合用の抵抗 31a, 31b と、集光レンズ 12 と、高周波インピーダンスが 5  $\Omega$  程度の LD40 と、高周波インピーダンスが大きいインダクタンス素子としての空芯ソレノイド 33a, 33b と、空芯ソレノイド 33a, 33b に並列接続される共振防止抵抗 34a, 34b と、LD40 と空芯ソレノイド 33a, 33b とを接続するためのワイヤボンダ 35a, 35b とを備えている。

#### 【0042】

LD40 のカソード側は、ワイヤボンダ 35a と、このワイヤボンダ 35a に直列に接続された空芯ソレノイド 33a と、共振防止抵抗 34a の並列回路を介してバイアス定電流源 36 の一端に接続されている。バイアス定電流源 36 の他端は負電源  $V_{ee2}$  に接続されている。LD40 のアノード側は、ワイヤボンダ 35b と、このワイヤボンダ 35b に直列に接続された空芯ソレノイド 33b と、共振防止抵抗 34b の並列回路を介して接地されている。なお、空芯ソレノイド 33a と 33b は、いずれも整合抵抗 31a と 31b よりも LD40 に近い側で LD40 の一対の電極に電氣的に接続されている。負電源  $V_{ee1}$  と負電源  $V_{ee2}$  は同じ電源としたほうが好ましいが、別の電源としてもよい。

#### 【0043】

この LD40 の駆動構成によれば、LD40 のカソード、アノードにソレノイド 33a, 33b を介してバイアス電源（図 4 のバイアス定電流源 36、および接地端子）に接続し、かつ差動型の一対のトランジスタ 103, 104 によって LD40 のカソード、アノードに高周波の変調信号を差動で入力するようにして

いる。

#### 【0044】

すなわち、LD駆動回路100のトランジスタ104がOFFからON（トランジスタ103がONからOFF）になると、LD40に電流が流れ、LD40からのレーザ光出力はOFFからONとなる。また、トランジスタ104がONからOFF（トランジスタ103がOFFからON）になると、LD40に流れる電流が小さくなり、LD40からのレーザ光出力はONからOFFとなる。

#### 【0045】

このように、LD駆動回路100の差動トランジスタ103、104より出力された変調電気信号は、分布定数回路30などを通じてLD40に伝送され、LD40において変調電気信号が光変調信号に変換される。LD40から発生された光変調信号は、集光レンズ12によって光ファイバ18aに集光され、光ファイバ18aを通じて出力される。

#### 【0046】

つぎに、図5～図18を用いてキャンパッケージ1の各構成要素について説明する。図5は、キャップ13を外した状態におけるキャンパッケージ1を示す斜視図であり、図6はその平面図である。また、図7は、ステムとピンと台座の配置関係などを示すための図である。なお、図6は、説明の都合上、バイアス給電ピン44a、44bと、モニタ信号ピン43などの配置位置が、図3、図5および図7とは若干異なっている。

#### 【0047】

図5～図7に示すように、キャンパッケージ1は、複数のピンがマウントされた円板状のステム10と、Agロウ付けなどによってステム10の内壁面に垂直に固定される台形柱状の台座11とから構成される。

#### 【0048】

グランドを構成するステム10には、LD駆動回路100からの差動の変調電気信号（以下差動高周波信号ともいう）が伝送される一対の高周波信号ピン41a、41bと、これら高周波信号ピン41a、41bの両側に配される2本のグランドピン42a、42bと、モニタ用の受光素子（例えばフォトダイオード、

以下PDという) 50の信号伝送のための1本のモニタ信号ピン43と、LD40に対して外部の直流バイアス電流源からバイアス電流を供給する一対のバイアス給電ピン44a, 44bと、モニタ用のPD50を搭載するためのPD用チップキャリア45とがマウントされている。例えば、高周波信号ピン41aから図4に示す正相の電流信号 $I_2$ が引き抜かれるとともに、周波信号ピン41bに対して図4に示す電流信号 $I_2$ と逆相の電流信号 $I_1$ が与えられる。

#### 【0049】

これらの信号ピンのうち、高周波信号ピン41a, 41bは、気密を保ったままステム10を介して電気信号を通過させるフィードスルーを構成している。後で詳述するが、これら各ピンは、ガラスなどの材料で構成される誘電体を介してステム10に対し気密封止状態で固定されている。グランドピン42a, 42bは、グランドを構成するステム10の外壁面に圧着および溶接によって固着されている。PD用チップキャリア45上にマウントされたPD50は、LD40から後方に出射されるモニタ光をモニタするためのものである。

#### 【0050】

ステム10に対し台座11がほぼ垂直に配設されている。台座11の上面には、マイクロストリップ差動線路基板46, 47と、LD用チップキャリア48と、バイアス回路用基板49とが搭載されている。台座11とステム10とは表面全体に導電性のメッキが施されている。マイクロストリップ差動線路基板46, 47やLD用チップキャリア48の裏面に形成され接地導体層となる平面導体板(以下ベタグランドと呼ぶ)が、台座11の上面に半田接合され電氣的に接続されている。また、台座11は、LD40等から発生する熱の放熱経路になっている。

#### 【0051】

マイクロストリップ差動線路基板46は、セラミック基板51と、セラミック基板51の上面に形成された一対のストリップ差動信号線52a, 52bと、セラミック基板51の裏面に形成されたベタグランド(図示せず)で構成されている。ストリップ差動信号線52a, 52bの一端側には、ステム10から突出された高周波信号ピン41a, 41bと接触させるためのパッド53a, 53bが



形成されている。ストリップ差動信号線 52 a, 52 b の途中には、互いの信号線に接近するように突出された特性インピーダンスが低い、容量として作用するスタブ 54 a, 54 b が形成されている。ストリップ差動信号線 52 a, 52 b は、高周波信号ピン 41 a, 41 b とのインピーダンス整合のために、ステム 10 に近い入力側の部分 52 d (図 6) では、特性インピーダンスが高くなるよう信号線間隔が大きく設定されている。また、ストリップ差動信号線 52 a, 52 b は、信号線間隔が徐々に接近する部分と、間隔が接近して平行に配置される出力側部分とを有している。ステム 10 にマウントされる高周波信号ピン 41 a, 41 b の端部は、図 7 に示すように、マイクロストリップ差動線路基板 46 のパッド 53 a, 53 b にロウ付けまたは半田付けによって接続固定されている。

#### 【0052】

マイクロストリップ差動線路基板 47 は、セラミック基板 55 と、セラミック基板 55 の上面に形成された一对のストリップ差動信号線 56 a, 56 b と、セラミック基板 55 の裏面に形成されたベタグラウンド (図示せず) で構成されている。ストリップ差動信号線 56 a, 56 b は、信号線方向を略 90 度折り曲げるためのコーナーカーブ部を有している。ストリップ差動信号線 56 a, 56 b の途中には、インピーダンス整合用の抵抗 31 a, 31 b (図 4 参照) がそれぞれ形成されている。ストリップ差動信号線 52 a, 52 b と、ストリップ差動信号線 56 a, 56 b とは、ワイヤボンド 57 a, 57 b によってそれぞれ接続されている。

#### 【0053】

LD 用チップキャリア 48 は、セラミック基板 58 と、セラミック基板 58 の上面に形成された一对のストリップ差動信号線 59 a, 59 b と、セラミック基板 58 の裏面に形成されたベタグラウンド (図示せず) で構成されるマイクロストリップ差動線路を有し、一方のストリップ差動信号線 59 b 上に LD 40 の一方の電極であるアノードが直接当接するように、LD 40 が搭載されている。LD 40 の他方の電極としてのカソードは、ワイヤボンド 60 によって他方のストリップ差動信号線 59 a に接続されている。ストリップ差動信号線 56 a, 56 b と、ストリップ差動信号線 59 a, 59 b とは、ワイヤボンド 61 a, 61 b に

よってそれぞれ接続されている。セラミック基板58は、熱伝導性の良い窒化アルミ (AlN) や炭化シリコン (SiC) などの材料から構成されている。LD40としては、10Gb/sの変調が可能な、例えば分布帰還型のレーザダイオード素子が用いられている。

#### 【0054】

バイアス回路用 (セラミック) 基板49上には、2本の配線パターン62a, 62bと一对のインダクタンス回路 (ソレノイド及び共振防止抵抗の並列回路) が形成されている。一方の配線パターン62aには、空芯ソレノイド33aおよび空芯ソレノイド33bの線間容量とインダクタンスとの共振を防止する共振防止抵抗34aが電氣的に並列接続されるように配置され、他方の配線パターン62bには、同様に、空芯ソレノイド33bおよび共振防止抵抗34bとが電氣的に並列接続されるように配置されている。空芯ソレノイド33aおよび空芯ソレノイド33bは互いの磁界が干渉しないように、各ソレノイド33a, 33bの中心軸 (の延長線) が交差するように、好ましくは直交するように、離間配置されている。2本の配線パターン62a, 62bの一方の各端部は、LD用チップキャリア48のストリップ差動信号線56a, 56bとワイヤボンド35a, 35bを介して接続されており、配線パターン62a, 62bの他方の端部は、ワイヤボンド63a, 63bを介してステム10に設けられるバイアス給電ピン44a, 44bに接続される。

#### 【0055】

つぎに、キャンパッケージ1の各部の特徴的な構成をより詳細に説明する。まずステム10の構成について詳述する。

#### 【0056】

図4に示したLD駆動回路100の差動トランジスタ103, 104から出力される差動高周波信号は、図5および図6に示すように、グラundedコプレーナ差動線路70を介してキャンパッケージ1に入力される。グラundedコプレーナ差動線路70は、基板73上に形成された一对の差動信号線71a, 71bと、この一对の差動信号線71a, 71bを挟むように差動信号線71a, 71bの外側に配置されるグラunded72a, 72bと、裏面に配置されてグラunded72a

、72bに接続されるベタグランド（図示せず）とから構成されている。

#### 【0057】

グラundedコプレナ差動線路70の差動信号線71a、71bは、ステム10に設けられた高周波信号ピン41a、41bに接続固定されている。グラundedコプレナ差動線路70のグランド線72a、72bは、ステム10に設けられたグランドピン42a、42bに接続固定されている。

#### 【0058】

ステム10は、コバル（Fe-Ni合金）、軟鉄、あるいはCuW（銅タングステン）などの金属で構成され、通常、その上層に半田付けのためにNiや金などのメッキが施されている。例えば、コバルや軟鉄からなるステム10は金属板を金型で打ち抜いて作ることができ、また、CuWからなるステム10はメタルインジェクションモールドで作ることができ、製造が簡単なので、コストが安い。ステム10には、複数の孔74、75、76a、76bが分散して形成されており、これらの孔74、75、76a、76bに、誘電体77、78、79a、79bが挿入される。

#### 【0059】

誘電体77には一対のピン挿入孔80a、80bが形成され、これらのピン挿入孔80a、80bに高周波信号ピン41a、41bが挿入固定される。同様に、誘電体78、79a、79bには、孔（符号は省略）がそれぞれ形成され、これらの各孔にモニタ信号ピン43およびバイアス給電ピン44a、44bが挿入固定される。一対の高周波信号ピン41a、41bが挿入される誘電体77の形状は、この場合長円形状を呈している。これに対応して、誘電体77が挿入される孔74も長円形状を呈している。その他の誘電体78、79a、79bは、円形形状としている。なお、グランドピン42a、42bは、ステム10を貫通されておらず、前述したように、ステム10の外壁面10z（図6、図7）に圧着および溶接によって固着されている。

#### 【0060】

ここで、2本の高周波信号ピン41a、41bは、高周波特性を考慮し、誘電体77の少なくとも一方の外側に突出される部分の長さ（LD40側への突出長

）が、モニタ信号ピン 43 およびバイアス給電ピン 44 a, 44 b の同突出長よりも短く設定されており、高周波信号ピン 41 a, 41 b を伝送される信号が、誘電体 77 の外側にでると、即座にマイクロストリップ差動線路基板 46 の差動信号線 52 a, 52 b に乗り移れるようにしている。モニタ信号ピン 43 およびバイアス給電ピン 44 a, 44 b の方は、高周波特性の厳しい制約がないので、ある程度の突出長を確保して、ワイヤボンドの接続作業などを容易にしている。

#### 【0061】

誘電体 77, 78, 79 a, 79 b としては、例えば、コバールガラスを使用するのが好ましく、ほうけい酸ガラスなどを使用しても良い。ここで、コバールガラスは、誘電率  $\epsilon_r = 4 \sim 5$  である。また、高周波信号ピン 41 a, 41 b、モニタ信号ピン 43、バイアス給電ピン 44 a, 44 b、グランドピン 42 a, 42 b としては、例えばコバール、50%Ni-Fe 合金などの金属を使用する。

#### 【0062】

高周波信号ピン 41 a, 41 b、モニタ信号ピン 43 およびバイアス給電ピン 44 a, 44 b と、誘電体 77, 78, 79 a, 79 b とをステム 10 に挿入固定する際には、誘電体挿入用の孔 74, 75, 76 a, 76 b が形成されたステム 10 上に誘電体 77, 78, 79 a, 79 b を載置した状態で振動を加えることにより、誘電体 77, 78, 79 a, 79 b を孔 74, 75, 76 a, 76 b に落とし込み、さらに同様にしてピン 41 a, 41 b, 43, 44 a, 44 b を誘電体 77, 78, 79 a, 79 b に形成された孔 80 a, 80 b などに落とし込む。そして、この状態で複数のステム 10 を図示しないカーボン治具に挿入し、その後、一気に電気炉の中で熱をかけることで誘電体を一時的に熔融し、誘電体およびピンをステム 10 に固定する。

#### 【0063】

ステム 10 と、台座 11 とを別体として製造する場合は、台座 11 はステム 10 に対し Ag ロウ付けなどによって接続固定される。勿論、ステム 10 と台座 11 とを一体物として製造するようにしてもよい。

#### 【0064】

因みに、上記のように2本の金属ピンを長円形状の誘電体（ガラス）77で固定する構造ではなく、ガラスビーズの熔融により金属ピンを固定し、給電線路を構成するようにした場合は、高周波用の同軸コネクタの例に見るように、十分な製造管理のもとで製造すれば、性能がでるが、ガラスビーズを熔融固化するので、ピン貫通孔に封入されるガラスが固化する際に形状がばらつく、ピンが倒れる、あるいはモジュール内の給電線路との接続位置が不均一になるなどの理由により、インピーダンスのミスマッチを起こしやすい。その結果、LD40に入力される信号波形にジッタが発生し、光出力波形が劣化するなどの問題が発生しやすい。

#### 【0065】

つぎに、ステム10、信号ピン41a、41b、…、誘電体77、78、…および台座11の材料について考察する。これらの材料を選択する際には、どのような特性を最適にするかによって材料は変わってくる。

#### 【0066】

(1) 誘電体（ガラス）に発生するクラックを防止する。

インピーダンス整合を取りかつ気密構造の信頼性を確保するためには高周波信号ピン41a、41b部の誘電体77には厚みが必要であり、また材料として、コバルガラス、ほうけい酸ガラスなどのガラスを使用しているので、通信機器の環境温度として求められる-40℃から85℃の温度変動に対し、ガラスに割れ（クラック）が入らないように、その内側および外側に配されるピンおよびステム10の熱膨張係数をガラスと同程度に設定する。このため、ピンの材料としては、コバルを使用し、ステム10の材料としては、コバルかCuWを使用する。

#### 【0067】

(2) 放熱性を最適にする。

LD40等から発生する熱の放熱性を最適にするためには、ステム10および台座11をCuWで一体化させたものが最適である。メタルインジェクションモールド技術を使えば、ステム10および台座11の一体構造のような複雑な形状を比較的安価に作ることができる。誘電体には、コバルガラス、ほうけい酸ガ

ラスなどを使用し、ピンには、コバールを使用する。

#### 【0068】

(3) コストを安くする。

ステム10および台座11をコバールで一体化させたものが最適である。しかし、コバールは放熱性が悪いので、発熱の小さな光半導体素子用のパッケージにしか使用できない。本実施の形態のように、LDモジュールの場合は、LDの発熱は0.2W程度であるのでコバールを使用できるが、一方、トランスインピーダンスアンプ付きのPDモジュールの場合は、アンプの発熱が0.5W程度あるので、温度上昇が大きく、コバールを使用するのは厳しい。

#### 【0069】

(4) 折衷案

発熱源を支持している台座11は放熱性のよいCuWを使って、ステム10に安価なコバールを使うようにしてもよい。これらの接合はロウ付けとなる。また、台座11は安価な鉄として、これにロウ付けによりコバールから成るステム10を接合するようにしてもよい。

#### 【0070】

なお、グラデッドコプレナ差動線路70、高周波信号ピン41a、41b、グランドピン42a、42b、ステム10、ワイヤボンド57a、57b、およびマイクロストリップ差動線路基板46等によって、分布定数回路30が構成される。

#### 【0071】

つぎに、高周波信号ピン41a、41bが貫通される長円形状の誘電体77については、透明または半透明のガラス材料を使用するようにしており、これにより高周波信号の反射特性を劣化させる、ガラス材料中に発生する泡5（図8参照）を簡単に目視検査できるようにしている。ちなみに、この種の誘電体に使用するガラスとしては、従来、黒色のガラスを使用しており、ガラス中に発生する泡5の目視検査が困難であった。勿論、高周波信号ピン41a、41b以外の、モニタ信号ピン43、およびバイアス給電ピン44a、44bについては、黒色のガラスを用いてもよいことは言うまでもない。

## 【0072】

つぎに、差動信号線路において、インピーダンスマッチングをとるための構成について説明する。

## 【0073】

単相線路を用いた従来のキャンパッケージはコストが安い、高周波特性が今ひとつよくないという問題を有している。図9(a)は、特開平11-233876号公報などに記載された単相線路の信号ピンを用いた従来のキャンパッケージについて、フィードスルー部分の断面を模式的に表した図である。図9(a)において、半径 $r_a$ の金属製の信号ピン601の外周に、半径 $r_b$ を有する誘電体(ガラス)602を充填し、誘電体602の外周を金属製のステム603で囲んでフィードスルーを構成している。ステム603は接地してある。

## 【0074】

このような信号ピン601の特性インピーダンスは、下式(1)で表せる。図10(a)は、図9(a)に示す単相フィードスルーの信号ピンの場合において、誘電体(ガラス)の比誘電率 $\epsilon_s=4.1$ 、比透磁率 $\mu_s=1$ とし、信号ピン601の半径 $r_a$ を0.1mm、0.15mm、0.2mm、0.25mmとした場合のフィードスルーの特性インピーダンスを示したものである。

## 【0075】

【数1】

$$Z = \frac{377}{2\pi} \sqrt{\frac{\mu_s}{\epsilon_s}} \ln\left(\frac{r_b}{r_a}\right) \quad \dots \quad (1)$$

## 【0076】

図10(a)に示すように、例えば、信号ピンの半径 $r_a$ が0.15mmの場合に特性インピーダンスを30オームとするには、半径 $r_b$ が0.4mmの誘電体(ガラス)を用いてフィードスルーを構成する必要がある。このフィードスルーをステムに2個並列に並べ、さらに、2つのフィードスルーの間に0.5mmの間隔 $S_1$ を確保すると、それらが信号ピンの径方向に占める長さは2.1mmとなる。このような構成では、一般的なキャンパッケージの直径が5.4mm(

または 3.5 mm) であるのに対して、フィードスルーが半分もの (または半分以上の) 比率を占めてしまう。

#### 【0077】

また、誘電体 602 の半径 (誘電体 602 の充填されるステム 603 の穴径) の変化に伴う特性インピーダンスの変化が大きく、加工する際に穴径やピンの取付け位置がずれた時、特性インピーダンスが大きくばらついてしまうという問題があった。また、このフィードスルーの出口から回路基板、またはストリップ線路などに接続する部分は、急激に特性インピーダンスが大きくなり、電気的な反射を起こしやすいため、特性インピーダンスのばらつきは整合回路の設計や製造を難しくしていた。

#### 【0078】

一方、図 9 (b) は、この発明の実施の形態 1 によるキャンパッケージ 1 に設けた高周波信号ピン 41a、41b を有するフィードスルーの断面を、模式的に示したものである。図において、高周波信号ピン 41a、41b の半径を  $R_a$ 、高周波信号ピン 41a、41b の中心間隔を  $S_2$  とし、高周波信号ピン 41a、41b の外周に半径  $R_b$  の誘電体 (ガラス) 610 (図 5 の誘電体 77 に相当する) を設け、その外側にステム 10 が配置されている。図では、説明を簡単にするために誘電体 610 を円形にしている。また、ステム 10 は接地してある。

#### 【0079】

この場合の特性インピーダンスは、下式 (2) で表せる。なお、式 (1) 及び式 (2) は、小西義弘著のマイクロ波回路の基礎とその応用 (第 1 版) の第 16 ページ (総合電子出版社 1990 年 8 月 20 日) の記載に基づくものである。図 10 (b) は高周波信号ピン 41a、41b の半径  $R_a$  を 0.15 mm、その中心間隔  $S_2$  を 0.6 mm から 0.9 mm (0.6 mm、0.7 mm、0.8 mm、0.9 mm) とし、誘電体 (ガラス) の比誘電率  $\epsilon_s=4.1$ 、比透磁率  $\mu_s=1$  とし、差動線路のフィードスルーの特性インピーダンスを示したものである。例えば、高周波信号ピン 41a、41b の半径  $R_a$  が 0.15 mm の場合、その中心間隔  $S_2$  が 0.7 mm から 0.9 mm にばらつき、更に誘電体 (ガラス) 610 の半径が 0.65 mm から 1.1 mm の範囲でばらついても、特性インピーダン



スは60～65オームの範囲であって、その変動が少なくなる。

【0080】

【数2】

$$Z = \frac{377}{\pi} \sqrt{\frac{\mu_s}{\epsilon_s}} \ln \left( \frac{S_2}{R_a} \cdot \frac{(R_b)^2 - (S_2)^2}{(R_b)^2 + (S_2)^2} \right) \quad \dots \quad (2)$$

単位Ω、但し、 $R_b > R_a$ と $S_2 > 2R_a$ の条件で簡略化した。

【0081】

このように、フィードスルーに差動線路を用いることで、高周波信号ピン41a、41b間の電界結合により特性インピーダンスのバラツキが少なくなる。したがって、高周波信号ピン41a、41bのガラス融着固定工程におけるピンの位置のバラツキや、ステム加工時の穴径のバラツキを適宜に許容することができ、品質が安定し、安価なフィードスルーを得ることができる。また、誘電体610の半径を0.8mmとすることができ、さらには誘電体を長円形、楕円形、蘭型とする（図18で誘電体の形状例を示す）ことで、単相のフィードスルーを横に並べた場合と比べてより小型なキャンパッケージを得ることが可能である。

【0082】

さらに、キャンパッケージ1の内部（マイクロストリップ差動線路基板46側）に突出するフィードスルーの出力端とマイクロストリップ差動線路基板46を接続する部分や、キャンパッケージ1の外部（グラウンデッドコプレーナ差動線路70側）に突出するフィードスルーの出力端とマイクロストリップ差動線路基板46を接続する部分では、線路間の電界結合が適宜に維持され、特性インピーダンスの変化を抑えることができる。このため、スタブ54a、54bのような整合回路の設計が容易となる。

【0083】

図10(c)は高周波信号ピン41a、41bの半径 $R_a$ を0.05mmから0.25mm（0.05mm、0.1mm、0.15mm、0.20mm、0.25mm）、ピンの中心間隔 $S_2$ を0.8mmとした時の特性インピーダンスを示すものであり、ピンの半径 $R_a$ を変えることで、特性インピーダンスを所望の

大きさに合わせることができる。図からわかるように、ピンの半径  $R_a$  を適宜選択しても、誘電体  $R_b$  の半径の変化に伴う特性インピーダンスの変化が少なく、前述と同様の効果がある。

#### 【0084】

なお、好ましくは、高周波信号ピン 41a、41b の中心間隔  $S_2$  を 0.7～0.9 mm、誘電体 610 の半径  $R_b$  を 0.65～1.1 mm とするのが良く、また、高周波信号ピン 41a、41b の半径を 0.05 mm から 0.5 mm とするのが好適である。

#### 【0085】

本実施の形態 1 においては、LD 駆動回路 100 の差動トランジスタ 103、104 の出力から LD 40 までのインピーダンスマッチングをとるためこれらの間を全て差動線路で構成して LD 40 を駆動するようにしており、ステム 10 を貫通するピンも、長円形状の誘電体 77 に一对の高周波信号ピン 41a、41b を貫通させることで、差動線路を構成する差動ピンとしている。このため、両信号ピン間の電氣的結合が高くなり、電界を封じ込めることができ、漏洩による損失を低減することができる。したがって、特に寸法バラツキが生じやすい高周波信号ピン 41a、41b におけるステム 10 から LD 駆動回路 100 側に露出されている部分（以下、ドライバ側ピン露出領域という）の電界の不連続を従来に比べ抑えることができる。さらに、このドライバ側ピン露出領域には、グランドピン 42a、42b が高周波信号ピン 41a、41b に並走するように配されているので、この部分のインピーダンスを低くして反射を抑えることができる。

#### 【0086】

また、例えば、単相駆動の場合には、LD を駆動した大電流が接地を經由して駆動回路に帰還するので、接地電位が変動するため、近接して設置された微弱電流を検出する光受信系の電子回路に悪影響がでることがあるが、本実施の形態では、差動線路を用いて、LD をプッシュプル動作しているので、大電流は差動線路を流れ、接地電位の変動が少なくなり、周辺回路への影響がでにくいという利点もある。

#### 【0087】

このように、ドライバ側ピン露出領域を差動線路構成としかつその外側にグラウンドピン 42a, 42b を配して、この部分のインピーダンスを従来に比べ低くするようにしたので、この部分とステム内側とのインピーダンス差が従来に比べ小さくなり、また電界の不連続も少なくしたので、通過特性および反射特性を改善することができる。

#### 【0088】

高周波信号ピン 41a, 41b の周りに配置される誘電体 77 として、ガラスを使用しているので、ステム 10 の内側部分（高周波信号ピン 41a, 41b が誘電体 77 で囲まれているフィードスルー部分、以下ピン非露出領域ともいう）では、インピーダンスが下がりすぎる傾向がある。このピン非露出領域のインピーダンスを上げるためには、高周波信号ピンの周りに配置される誘電体 77 の断面積（長円の面積）を大きくすればよいが、これでは小型化、省スペース化の要求を満足させることができない。

#### 【0089】

そこで、2 本の高周波信号ピン 41a, 41b は、誘電体 77 の外側にでると、即座にマイクロストリップ差動線路基板 46 の差動信号線 52a, 52b に乗り移れるように、LD 40 側への突出長を短くするとともに、マイクロストリップ差動線路基板 46 のストリップ差動信号線 52a, 52b のうち、高周波信号ピン 41a, 41b に接続される、ステム 10 に近い部分 52d（図 6 参照）の間隔を、例えば、差動線路基板 47 に近い部分の線路間隔よりも大きくしたり、ピン 41a, 41b の間隔よりも若干広く設定する等、比較的大きく設定することで、この部分の電氣的結合を弱くして、この部分 52d を高インピーダンスに設定している。例えば、高周波信号ピン 41a, 41b のフィードスルー部分が  $60\Omega$ 、ストリップ差動信号線 52a, 52b における間隔の広い 52d の部分が  $150\Omega$ 、ストリップ差動信号線 52a, 52b における差動線路基板 47 に近い間隔の狭い部分が  $100\Omega$  となるようにしている。

#### 【0090】

このように、ステム 10 を出た直後の差動線路部分の線路間隔を大きくして、高インピーダンス部分を故意に作成しており、この高インピーダンス部分とステ

ム内側（ピン非露出領域）の低インピーダンス部分とでインピーダンスを相殺させ、全体的に見てインピーダンスを整合させるようにしている。すなわち、ピン非露出領域（フィードスルー部分）は低インピーダンスであるので、その後にハイインピーダンスを少し作って、全体としてのインピーダンスマッチングをとるようにしている。

#### 【0091】

また、ストリップ差動信号線 52a, 52b の途中には、インピーダンス整合用の一對のスタブ 54a, 54b を形成しており、これら一對のスタブ 54a, 54b によりインピーダンスを下げてストリップ差動信号線 56a, 56b とのミスマッチングが発生しないようにしている。すなわち、これら一對のスタブ 54a, 54b により、ドライバ側ピン露出領域のリアクタンス成分と、ピン非露出領域（フィードスルー部分）のリアクタンス成分を補償して、通過特性および反射特性を改善している。

#### 【0092】

また、この場合、一對のスタブ 54a, 54b は、外側にではなく、内側に（互いの信号線に接近するように）突出されているので、マイクロストリップ差動線路基板 46 の小型化に寄与する。なお、小型化が必要ない場合は、図 11 に示すように、差動線路 52a, 52b の外側に突出するようにしてもよい。

#### 【0093】

つぎに、台座 11 上への 4 つの基板（マイクロストリップ差動線路基板 46, 47 と、LD 用チップキャリア 48 と、バイアス回路用基板 49）と、PD 用チップキャリア 45 のレイアウトについて説明する。

#### 【0094】

キャンパッケージ 1 においては、高周波信号ピン 41a, 41b と LD 40 との間を接続する差動線路基板と、LD 40 を搭載する基板と、LD 40 に直流バイアス電流を供給するためのバイアス回路基板と、モニタ PD 50 とを配置する必要がある。

#### 【0095】

図 12 は、差動線路構成の場合の他の台座 11 上のレイアウトを示すものであ

る。ステム 10 の中央には、高周波信号ピン 41 a, 41 b が貫通配置され、高周波信号ピン 41 a, 41 b を挟むようにグランドピン 42 a, 42 b が配置される。また、高周波信号ピン 41 a, 41 b、およびグランドピン 42 a, 42 b を挟むように、バイアス給電ピン 44 a, 44 b が貫通配置されている。台座 11 の中央部に、高周波信号ピン 41 a, 41 b と LD 40 間を接続する差動線路基板 90 a と、LD 40 を搭載する基板 90 b と、整合抵抗 31 a, 31 b を搭載する基板 90 e とが配置される。また、台座 11 の LD 40 の両側に、ソレノイドを有するバイアス回路基板 90 c, 90 d が配置され、バイアス基板 90 c, 90 d に設けられたソレノイドは、それぞれバイアス給電ピン 44 a, 44 b にワイヤボンドで接続されている。

#### 【0096】

このようなレイアウトの場合、レーザ光は LD 40 の前後にしか出射されないため、モニタ PD 50 を高周波信号ピン 41 a, 41 b の上下に配置する必要があり、スペース的に配置が困難である。また、差動線路基板 90 a と、LD 40 を搭載する基板 90 b、および整合抵抗 31 a, 31 b を搭載する基板 90 e とが、レーザ光出射方向に直線上に配置されるので、台座 11 のレーザ光出射方向に沿った長さが長くなり、パッケージの大型化を招来する。また、バイアス回路と接続するワイヤボンド 35 a, 35 b のインダクタンスを小さくするためには、基板を 2 分割しなくてはならないので、コスト高になる。さらに、このレイアウトの場合は、高周波信号ピン 41 a, 41 b を封止固定するための透明の誘電体 77 が LD 40 の真後ろに位置するので、LD 40 からのモニタ光が透明な誘電体 77 を介してキャンパッケージ 1 の外部に直接出射されることになり、LD 40 を駆動しながらの作業を行う際に、作業者の目に入る可能性が高いという懸念もある。

#### 【0097】

このような状況を鑑み、実施の形態 1 においては、図 5～図 7 などに示すように、マイクロストリップ差動線路基板 46, 47 と、バイアス回路用基板 49 とで、LD 用チップキャリア 48 を挟むように LD 用チップキャリア 48 の両側に配置するようにしている。別言すれば、LD 40 を真ん中にしてマイクロストリ

ップ差動線路基板 46, 47 の各ストリップ差動信号線 52a, 52b, 56a, 56b と、一対のインダクタンス回路を含む配線パターン 62a, 62b と、LD40 とを略 U 字状に配置している。

#### 【0098】

このため、台座 11 のレーザ光軸方向の長さは、マイクロストリップ差動線路基板 46, 47 分の長さで済むようになり、図 12 に示したレイアウトより小型化が実現できる。

#### 【0099】

また、マイクロストリップ差動線路基板 46, 47 が、LD 用チップキャリア 48 からサイドにずれた位置に配設されるので、高周波信号ピン 41a, 41b を封止固定するための透明の誘電体 77 の配置位置も、必然的に、LD 用チップキャリア 48 からサイドにずれた位置に配設されることになる。レーザ光は、ガウス分布的に光軸からずれるほど強度が弱くなるので、透明の誘電体 77 には強度の弱い光しか入らなくなり、これにより作業時の安全性を向上させることができる。

#### 【0100】

なお、LD40 を搭載する基板と、高周波信号ピン 41a, 41b および LD40 間を接続する差動線路基板とを、同一の基板で構成する手法もあるが、この場合は、熱源としての LD40 からの熱を放熱するため単位面積あたり高価な放熱性の良い窒化アルミ基板 (AlN) などの基板材料を広い面積で使用しなくてはならず、コストアップの原因となる。

#### 【0101】

そこで、この実施の形態 1 においては、図 5 および図 6 に示すように、熱源としての LD40 を搭載する LD 用チップキャリア 48 を、他の基板から分離して単独基板としている。このため、LD 用チップキャリア 48 にのみ高価な放熱性の良い窒化アルミ基板 (AlN) などのセラミック基板材料を使用すればよくなり、他の基板 (マイクロストリップ差動線路基板 46, 47 と、バイアス回路用基板 49) は、安価な  $Al_2O_3$  などのセラミック基板材料を使用すればよくなり、低コスト化が可能となる。

## 【0102】

また、本実施の形態1のレイアウトによれば、インピーダンス整合用のマイクロストリップ差動線路基板46と、整合抵抗31a, 31bを配置するためのマイクロストリップ差動線路基板47とを、別基板としたので、無駄のないセラミック基板の裁断が可能となって低コスト化に寄与する。また、インピーダンス整合用のマイクロストリップ差動線路基板46は、ステム10の製造時に一緒に製造して、ステム10とマイクロストリップ差動線路基板46とがロウ付け、または半田付けにより接続固定されたユニットを作成して、その後他の構成部品と組み立てるなどの自由度の高い製造作業を行うことが可能となり、作業性が向上する。なお、ステム10の直径として、例えば $\phi 5.6\text{ mm}$ の大きさを実現することが十分に可能である。

## 【0103】

また、バイアス回路用基板49には、バイアス給電ピン44a, 44bに接続される空芯ソレノイド33aおよび共振防止抵抗34aの並列回路と、空芯ソレノイド33bおよび共振防止抵抗34bの並列回路とを、同一基板上に配置して、バイアス回路基板の小面積化を図っているので、低コスト化および小型化に寄与する。

## 【0104】

また、バイアス回路用基板49上の空芯ソレノイド33a, 33bは、互いの磁界が干渉しないように、交差するように、好ましく直交するように、配置されているので、一方のソレノイドに発生する磁界が他方のソレノイドに影響を与えることがなくなるとともに、空芯ソレノイド33a, 33bの配置位置をLD40のアノード、カソードにより近づけることが可能となる。

## 【0105】

つぎに、PD50の配置について説明する。PD50を搭載するPD用チップキャリア45は、LD40の真後ろに配するのではなく、レーザ光軸に対し上下側および左右に少しずれた位置に配置することにより、スペースの有効活用を図り、ステム10に配するバイアス給電ピン44a, 44b、モニタ信号ピン43などの自由度の高いレイアウトを可能にしている。

## 【0106】

また、PD50をLD40の上下のどちらにずらせるかを選択する際には、LD40を構成する半導体基板99と活性層93との位置関係、並びにモニタ光の遠視野像の強度分布に応じて決定する。図13は、LD40の構造を概略的に示すものである。

## 【0107】

LD40は、カソード（n電極）91と、アノード（p電極）92と、p型の半導体基板99と、発光領域をなす活性層93と、反射防止膜（ARコート）を施した端面110からの反射戻り光を低減するための窓構造94と、活性層93を挟むクラッド層501などを備えている。なお、窓構造94とは、共振器端面（へき開面）502近傍に不純物を注入又は拡散させて無秩序化することにより、端面近傍におけるバンドギャップを増大させて、端面近傍における光吸収などを抑制し、端面破壊を防止するなどの効果を持つ構造である。

## 【0108】

活性層93は、半導体基板99と逆方向側に片寄った位置に配設されており、このため、出射されるレーザ光は次のような強度分布を持つようになる。

## 【0109】

活性層93から出射されたレーザ光の一部は窓構造94の上側にある反射率の高い金属で構成されるカソード91で反射される。この反射光が、活性層93から窓構造94を介して直接出射される他のレーザ光と干渉するので、PD50が配置される程度の距離を離れた位置でのモニタ光の強度分布は、図14に示すようになる。図14に示す強度分布においては、正の角度領域（半導体基板99側）では、上記干渉によるリップルが発生している。したがって、このようなリップル発生側に、PD50を配置すると、若干の組立誤差などによって受光感度が急変するので、モニタ光を高精度に検出することができなくなるという問題がある。

## 【0110】

一方、図14に示すように、負の角度領域（半導体基板99と反対側）では、光線がアノード91に蹴られる位置まで滑らかに変化する通常のガウス分布波形



に近い形状が得られる。

#### 【0111】

したがって、PD50を光軸に対して半導体基板99と反対の方向に片寄った側に配置すれば、上述した干渉による遠視野像のリップルの影響を受けることがなくなり、モニタ光を高精度に検出することができるようになる。

#### 【0112】

図15は、先の図5～図7に示した実施の形態1のキャンパッケージ1におけるLD40とPD50との配置関係を示す図である。図15に示すように、PD50は、LD40の上側に、すなわち光軸に対して半導体基板と反対の方向に片寄った側に配置するようにしており、上述した干渉による遠視野像のリップルの影響を受けることがなくなり、モニタ光を高精度に検出することができる。また、この場合は、PD50は、LD40に対し左右方向にもずれた位置に配置されている。なお、PD用チップキャリア45の下面は、台座11の上面から若干離間している。

#### 【0113】

つぎに、図16を用いてステム10に挿入すべき長円形状の誘電体（ガラス）77の厚みに関して説明する。誘電体77の厚みを、ステム10に形成した孔74の深さすなわちステム10の幅と同じ長さに設定すると、電気炉での加熱時にガラスの縁が盛り上がって、ステム10の壁面に凹凸部が形成されてしまう。このようなステム10壁面での凹凸は、各種の部品配置の際の邪魔になる。

#### 【0114】

そこで、誘電体77の厚みをステム10に形成した孔74の深さすなわちステム10の幅よりも短く設定し、電気炉での加熱前には、図16に示すように、ステム10にはLD側の開口部をすり鉢状に形成した孔95が形成されるようにする。このようにすれば、電気炉での加熱時にガラスの縁が盛り上がっても、ガラスは、ステム10の壁面まで到達することが無くなり、この誘電体77の領域に重なるように任意の部品を配置できるようになる。先の図5～図7に示した実施の形態1においては、図16にも示すように、PD50を配置するためのPD用チップキャリア45の一部を誘電体77に重なるように配置している。また、図

5 および図 15 などに示すように、台座 11 のステム 10 への当接面の一部も、上記孔 95 のすり鉢状の開口部に重なるように配置されている。なお、他のバイアス給電ピン 44a, 44b、モニタ信号ピン 43 を封止固定するための誘電体 79a, 79b, 78 も、同様にして、それらの厚みをステム 10 の幅よりも短く設定している。また、この場合、孔 95 を、ステム 10 の台座 11 が固定される方の壁面に形成するようにしたが、逆側の面にも部品を配置する場合は、ステム 10 の逆側の壁面に、同様の孔を形成するようにしてもよい。

#### 【0115】

なお、上記実施の形態 1 において、マイクロストリップ差動線路基板 46, 47 の代わりに図 17 に示すようなグラデッドコプレーナ差動線路 46b を用いるようにしてもよい。グラデッドコプレーナ差動線路 46b は、前述したように、基板上に形成された一对の差動信号線と、この一对の差動信号線を挟むように差動信号線の外側に配置されるグラウンドと、裏面に配置されるベタグラウンドとから構成されている。

#### 【0116】

また、実施の形態 1 では、高周波信号ピン 41a, 41b の外側にグラウンドピン 42a, 42b を配設するようにしたが、図 18 に示すように、グラウンドピン 42a, 42b を省略した実施形態も可能である。

#### 【0117】

実施の形態 2.

つぎに、図 19 を用いてこの発明の実施の形態 2 について説明する。図 19 (a) ~ (c) は、高周波信号ピン 41a, 41b を封止するための誘電体 77 の他の形状を示すものである。

#### 【0118】

図 19 (a) は、誘電体 77 の形状として、 $270^\circ / 360^\circ$  程度の 2 つの円を直線（あるいは緩やかな曲線）で接続した繭型形状を採用している。1 つのピン 41a（または 41b）から誘電体 77 の周縁、すなわちグラウンド部材としてのステム 10 までの距離について着目すると、繭型形状の場合は、 $270^\circ / 360^\circ$  が等距離  $r$  にあり、残りの部分は距離  $r$  よりも長くなる。一方、実施の

形態 1 で用いた長円形状の誘電体の場合、 $180^\circ / 360^\circ$  が等距離  $r$  にあり、残りの部分は距離  $r$  よりも長くなる。ピンとグランドまでの距離が長いほどインピーダンスが高くなるので、同じ面積の蕨型形状と長円形状を比較した場合、長円形状のほうがインピーダンスを高く設定することができる。前述したように、ピン非露出領域（フィードスルー領域）では、インピーダンスが下がりすぎる傾向があるので、インピーダンスを上げるという点では、長円形状のほうが有利である。勿論、蕨型形状を採用する場合は、その面積を調整して、長円形状の場合と同程度のインピーダンスが得られるようにすればよい。

#### 【0119】

図 19 (b) では、誘電体 77 として、2 つの円を直接的に連結した形状を採用しており、図 19 (c) では、楕円形状を採用している。

#### 【0120】

実施の形態 3.

つぎに、図 20 を用いてこの発明の実施の形態 3 について説明する。この実施の形態 3 においては、ステム 10 を多重構造として、ステム 10 のコストダウンを図っている。

#### 【0121】

図 20 に示す実施の形態 3 のステム 10 においては、この場合高周波信号ピン 41 a, 41 b をステム 10 のほぼ中央部に配置しており、コバールから成る高周波信号ピン 41 a, 41 b の周囲にコバールガラスから成る長円形状の誘電体 77 を配置している。そして、誘電体 77 の周囲に、誘電体 77 のクラックを防止すべく誘電体 77 とほぼ同じ熱膨張係数をもつコバールから成る第 1 ステム部材 10 a を配置し、さらにその外側に鉄などの比較的熱伝導が良くコストの安い材料から成る第 2 ステム部材 10 b を配置して、放熱性を改善するようにしている。第 2 ステム部材 10 b としては、他に銅タングステンなどを採用することができる。第 1 ステム部材 10 a と第 2 ステム部材 10 b とは、ロウ付けで接合される。

#### 【0122】

実施の形態 4.

つぎに、図 21 を用いてこの発明の実施の形態 4 について説明する。この実施の形態 4 においては、キャンパッケージ 1 の放熱特性をより向上させるようにしている。したがって、この実施の形態 4 は、コバールなどで台座 11 およびシステム 10 が一体成形された、放熱性の悪いパッケージのときに適用すれば、好適である。

#### 【0123】

図 21 (a) に示すように、台座 11 およびシステム 10 に、熱伝導の良い Cu などの線材 (ヒートパイプ) 81 を内挿するための線材挿入孔 82 を形成する。線材挿入孔 82 の径は、線材 81 の径よりも大きくする。線材挿入孔 82 の底部には、圧入穴 82a を形成し、この圧入穴 82a に線材 81 の一端を圧入固定する。圧入穴 82a の穴長は、線材 81 を固定できる範囲でできるだけ短くする。これは、線材 81 と台座 11 との熱膨張係数差による歪の発生を防止する為である。LD40 からの放熱を考慮した場合、線材 81 の一端を固定するための圧入穴 82a は、LD40 あるいは LD 用チップキャリア 48 の直下に配置した方が好ましい。

#### 【0124】

なお、線材 81 が孔 82 の底部に至るまでの間は、線材 81 が線材挿入孔 82 の内周面に接触しないようにすることが好ましいが、線材 81 と線材挿入孔 82 との間の摩擦あるいは表面間の干渉によって、線材 81 と台座 11 との熱膨張係数差による歪の発生を防止できるならば、多少接触していても構わない。ただし、線材 (ヒートパイプ) 81 が、線材挿入孔 82 の内周面で半田等によって接合されることは避けなければならない。

#### 【0125】

また、図 21 (a) を K 方向から見た図 21 (b) に示すように、線材 81 の他端は螺旋状に曲げられる。螺旋状に曲げられた線材 81 の他端は、その螺旋中心にねじ 500 が挿入され、グラデッドコプレナ差動線路 70 の裏面側に位置する、ヒートシンク 2000 に設けられたねじ穴と締結される。これによって、線材 81 の他端がヒートシンク 2000 に固定される。このとき、線材 81 の他端はばね性を有して固定されるため、熱膨張係数差によって線材 81 と台座 11

との間に熱変位差が生じて、その熱変位差を吸収でき、台座 11 の歪の発生を防止することができる。キャンパッケージ 1 に電気接続される外部基板と、LD モジュール 3 とは、ともに図示しないケースに収納される。ヒートシンク 2000 は、このケースの壁面に設けられている。

#### 【0126】

LD 40 で発生した熱は、LD 用チップキャリア 48 から台座 11 を介して、線材 81 の一端に放熱される。線材 81 に伝えられた熱は、線材 81 の他端からヒートシンク 2000 に伝わり、ヒートシンク 2000 に設けられたフィンから外気に放熱される。

#### 【0127】

このように、この実施の形態 4 においては、台座 11 およびステム 10 の内部に、壁面と接触しないように放熱のための線材 81 を設けるようにしているので、LD 40、ドライバ IC、トランスインピーダンスアンプなどの熱源から発生される熱を効率良く放熱することができるとともに、線材 81 と台座 11 との熱膨張係数差による歪の発生を防止することができる。

#### 【0128】

実施の形態 5.

つぎに、図 22 を用いてこの発明の実施の形態 5 について説明する。この実施の形態 5 においては、先の実施の形態のように、グランドピン 42a, 42b を、高周波信号ピン 41a, 41b を挟むように両外側に配するのではなく、グランド部材としてのステム 10 に高周波信号ピン 41a, 41b に並走するように突出部 10c を設け、この突出部 10c によってグランドピン 42a, 42b と同等の機能を果たさせるようにしている。突出部 10c は、高周波信号ピン 41a, 41b および突出部 10c によって外部基板 101 を上下で挟む位置に配される。したがって、突出部 10c は、外部基板 101 の裏面に形成されるベタグランドとも接触されることになる。突出部 10c は、ステム 10 と同じ材料から成り、ステム 10 と同様にメッキが施されて、グランド面を構成する。

#### 【0129】

実施の形態 6.

つぎに、図 23 を用いてこの発明の実施の形態 6 について説明する。この実施の形態 6 においては、先の実施の形態のキャンパッケージ 1 に搭載されている LD 40 を含む各種構成要素と、先の図 4 に示した LD 駆動回路 100 とが同じパッケージに搭載される箱形の光半導体用パッケージ 200 に本発明を適用するようにしている。

#### 【0130】

図 23 (a) に示すように、この光半導体用パッケージ 200 においても、LD 駆動回路 100 の入力バッファ 102 には、前述したように、正相および逆相の差動信号が入力される。そこで、この差動信号を光半導体用パッケージ 200 の LD 駆動回路 100 に入力するために、長円形状などの誘電体 77 と、誘電体 77 に封入される一対の高周波信号ピン 41a, 41b と、高周波信号ピン 41a, 41b の外側に配設される一対のグランドピン 42a, 42b とを有する前述の構成を、光半導体用パッケージ 200 の壁面の一部にマウントしている。高周波信号ピン 41a, 41b の一端は、前記と同様に、差動ストリップ線路 201 に接続され、この差動ストリップ線路 201 を介して LD 駆動回路 100 の入力バッファ 102 に伝送される。

#### 【0131】

この実施の形態 6 においては、差動信号ピンを用いて差動信号を LD 駆動回路 100 に入力するようにしているので、先の実施の形態と同様、高周波特性の劣化を抑えることができるとともに、気密性を向上させることができる。

#### 【0132】

図 23 (a) に示すように、高周波信号ピン 41a, 41b 以外の、バイアス電流や LD 駆動回路 100 の制御信号を伝送する信号ピン (リード) 1001 については、パッケージの内外をセラミック基板 1001b を用いて信号伝送するフィードスルーを用いてもよい。この場合、信号ピン 1001 は平板形状となる。

#### 【0133】

勿論、図 23 (b) に示すように、光半導体用パッケージ 200 の側壁に貫通孔を設け、その貫通孔内に挿入した円筒形状の信号ピン 1002 を、ガラスなど

の材料で構成される誘電体 1003 を介して光半導体用パッケージ 200 の側壁に気密封止状態で固定した構造であってもよい。この場合、セラミック基板 1001b を用いないため、図 23 (a) と比べてより低価格に製造することのできるパッケージ構造を提供できる。

#### 【0134】

ところで、上述の実施の形態においては、差動信号を入力するためのステム構成を LD40 が搭載された LD モジュールに適用するようにしたが、上記ステム構成を、電界吸収型光変調器 (EA 変調器、Electro-absorption Modulator) が搭載された EA モジュールや、受光素子が搭載されて光信号を受信する PD モジュールに適用するようにしてもよい。勿論、LD の温度調整用のペルチェ素子を用いたものであってもよいことは云うまでもない。

#### 【0135】

##### 【発明の効果】

以上説明したように、この発明によれば、孔を有するステムと、ステムの孔に封入されるとともに、一対のピン挿入孔を有する誘電体と、誘電体の一対のピン挿入孔に貫通固定され、光半導体素子に接続される差動線路を構成する一対の高周波信号ピンとを備えて光半導体用パッケージを構成したので、コストを安く維持できるとともに、高周波伝送特性が良好で 10 Gbps 以上の高速動作が可能な光半導体用パッケージを提供することが可能となる。

##### 【図面の簡単な説明】

【図 1】 この発明にかかる光半導体用パッケージの外観構成を示す斜視図である。

【図 2】 この発明にかかる光半導体用パッケージとレセプタクルが接続された LD モジュールの外観構成を示す斜視図である。

【図 3】 LD モジュールの水平及び垂直断面図である。

【図 4】 キャンパッケージ内の構成要素および LD 駆動回路の等価回路図である。

【図 5】 実施の形態 1 のキャンパッケージの内部構成を示す斜視図である。

。

【図 6】 実施の形態 1 のキャンパッケージの内部構成を示す平面図である。

【図 7】 ステムとピンと台座の配置関係などを示すための図である。

【図 8】 誘電体内に発生する泡を示すための図である。

【図 9】 従来と実施の形態 1 のフィードスルーの断面を、模式的に示した図である。

【図 10】 従来と実施の形態 1 のフィードスルーにおけるガラス半径と特性インピーダンスとの関係を示す図である。

【図 11】 スタブの配置の変形態様を示す図である。

【図 12】 各種構成要素の一般的なレイアウトを示すための図である。

【図 13】 LD と PD との配置条件を説明するための図である。

【図 14】 LD からの出射光の光強度分布を示す図である。

【図 15】 LD と PD との配置状態を説明するための図である。

【図 16】 ステムに配される長円形状の誘電体の近傍の拡大図である。

【図 17】 実施の形態 1 の変形態様を示す図であり、グラウンデッドコプレーナ差動線路を示す図である。

【図 18】 実施の形態 1 の変形態様を示す図である。

【図 19】 この発明の実施の形態 2 を説明するための図であり、誘電体の他の形状を示す図である。

【図 20】 この発明の実施の形態 3 を説明するための図であり、多重構造誘電体を示す図である。

【図 21】 この発明の実施の形態 4 を説明するための図である。

【図 22】 この発明の実施の形態 5 を説明するための図である。

【図 23】 この発明の実施の形態 6 を説明するための図である。

#### 【符号の説明】

1 光半導体用パッケージ（キャンパッケージ）、2 レセプタクル、3 光半導体素子モジュール（LDモジュール）、5 泡、10 ステム、10a 第1ステム部材、10b 第2ステム部材、10c 突出部、10z ステム外壁面、11 台座、12 集光レンズ、13 キャップ、13a 第1キャップ部

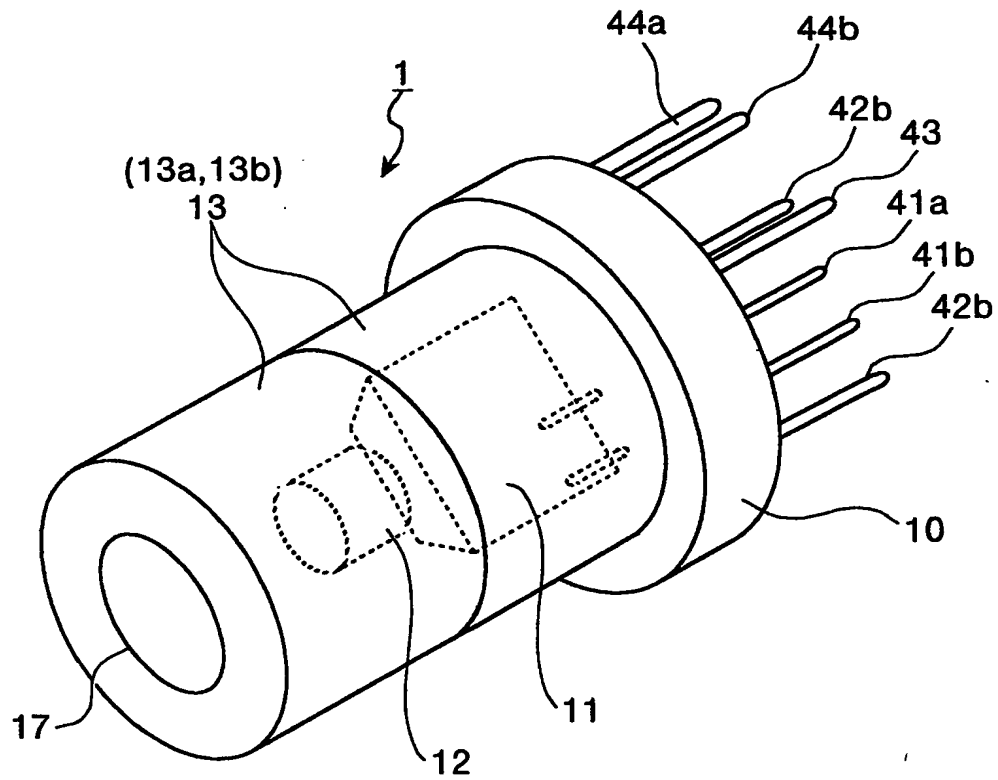


材、13b 第2キャップ部材、14 孔、15 内部空間、16 ウィンドウ、17 孔、18 ダミーフェルール、18a 光ファイバ、19 フェルール挿入孔、20 光ファイバ、21 フェルール、30 分布定数回路、31a、31b 整合抵抗、33a、33b ソレノイド（空芯ソレノイド）、34a、34b 共振防止抵抗、35a、35b ワイヤボンド、36 バイアス定電流源、40 半導体レーザダイオード（LD）、41a、41b 高周波信号ピン、42a、42b グランドピン、43 モニタ信号ピン、44a、44b バイアス給電ピン、45 PD用チップキャリア、46、47 マイクロストリップ差動線路基板、46b グランデッドコプレーナ差動線路、48 LD用チップキャリア、49 バイアス回路用基板、50 フォトダイオード（PD）、52a、52b ストリップ差動信号線、53a、53b パッド、54a、54b スタブ、56a、56b ストリップ差動信号線、57a、57b ワイヤボンド、59a、59b ストリップ差動信号線、60 ワイヤボンド、61a、61b ワイヤボンド、62a、62b 配線パターン、63a、63b ワイヤボンド、70 グランデッドコプレーナ差動線路、71a、71b 差動信号線、72a、72b グランド（グランド線）、77、78、79a、79b 誘電体、80a、80b ピン挿入孔、81 線材、82 孔（線材挿入孔）、82a 圧入穴、91 カソード、92 アノード、93 活性層、94 窓構造、95 孔、99 半導体基板、100 LD駆動回路、101 外部基板、102 入力バッファ、103、104 トランジスタ（差動トランジスタ）、105 トランジスタ（バイアス定電流源）、200 光半導体用パッケージ、500 ねじ、501 クラッド層、502 共振端面、601 信号ピン、602、610 誘電体（ガラス）、603 ステム、1001 信号ピン、1001b セラミック基板、1003 誘電体、2000 ヒートシンク。

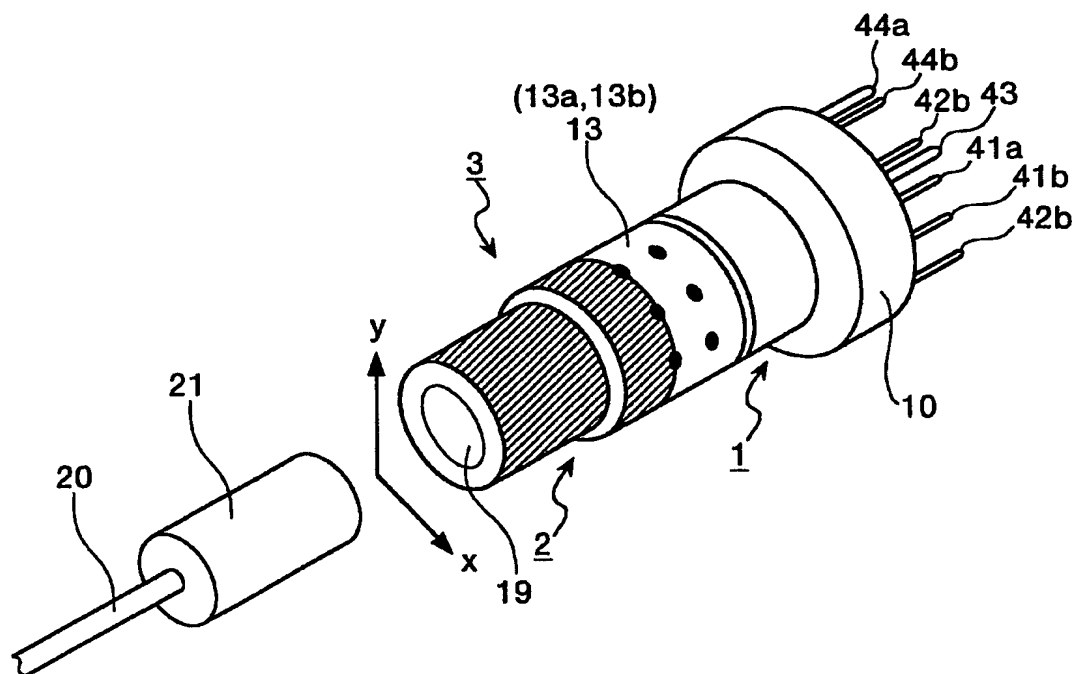
【書類名】

図面

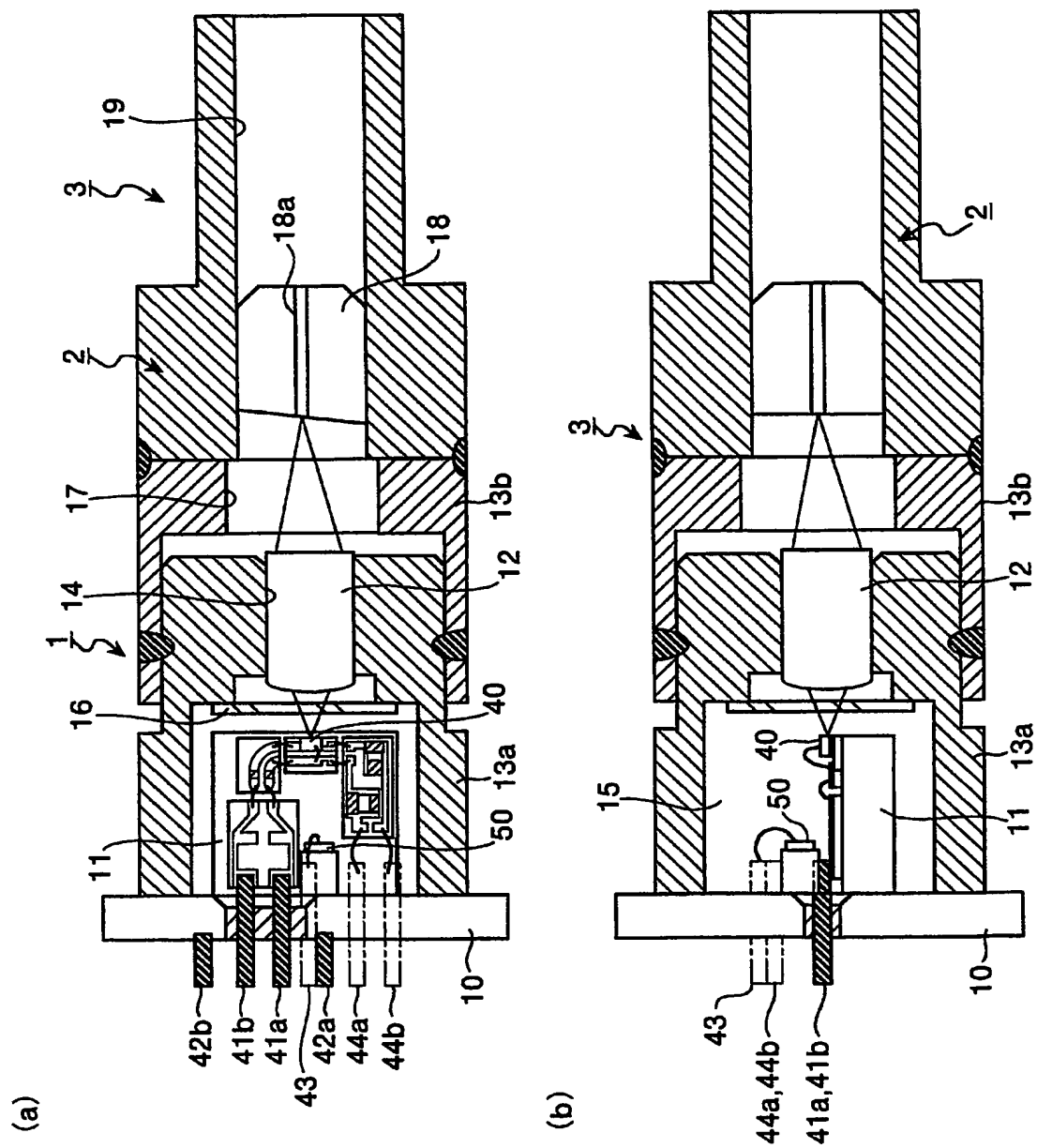
【図 1】



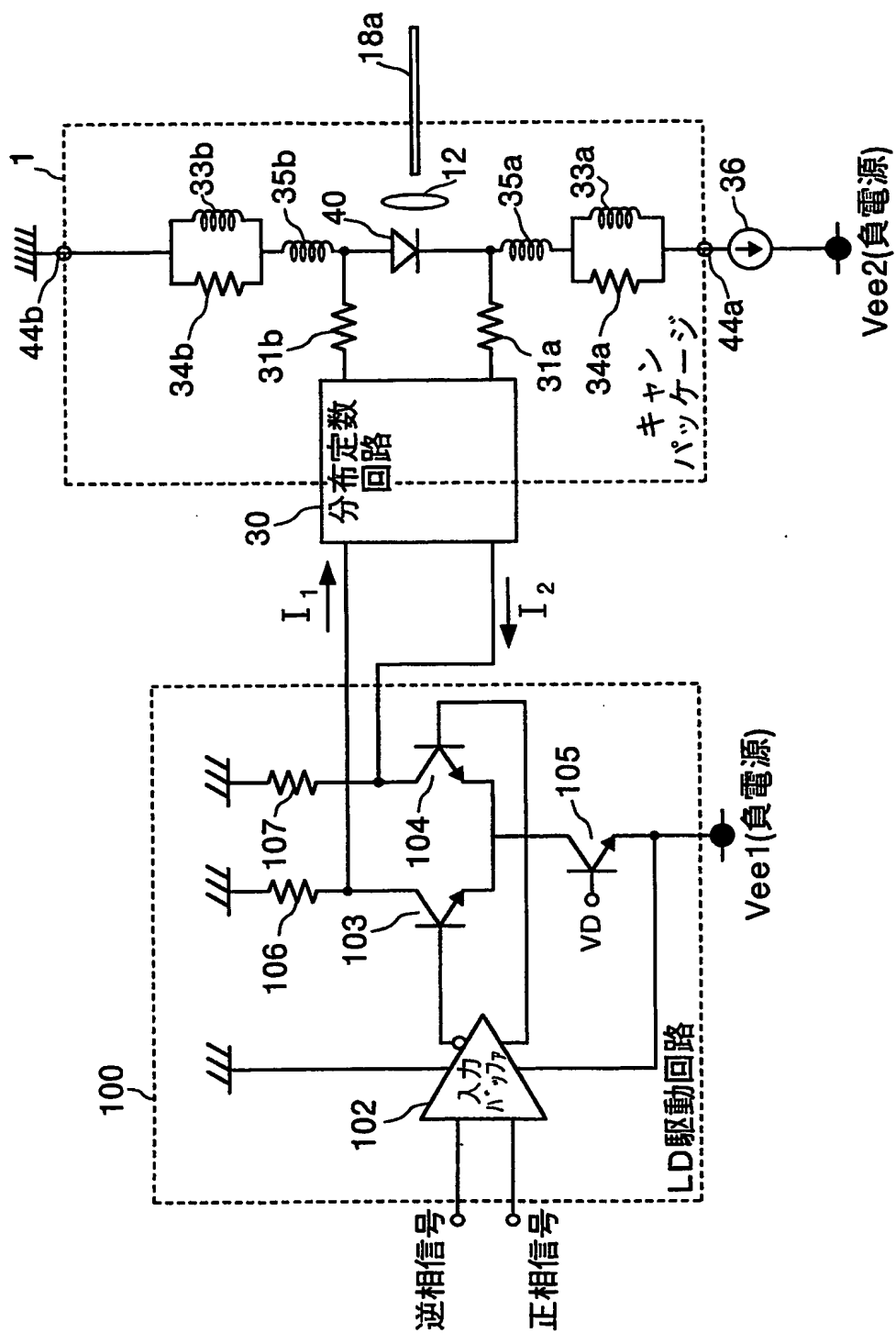
【図 2】



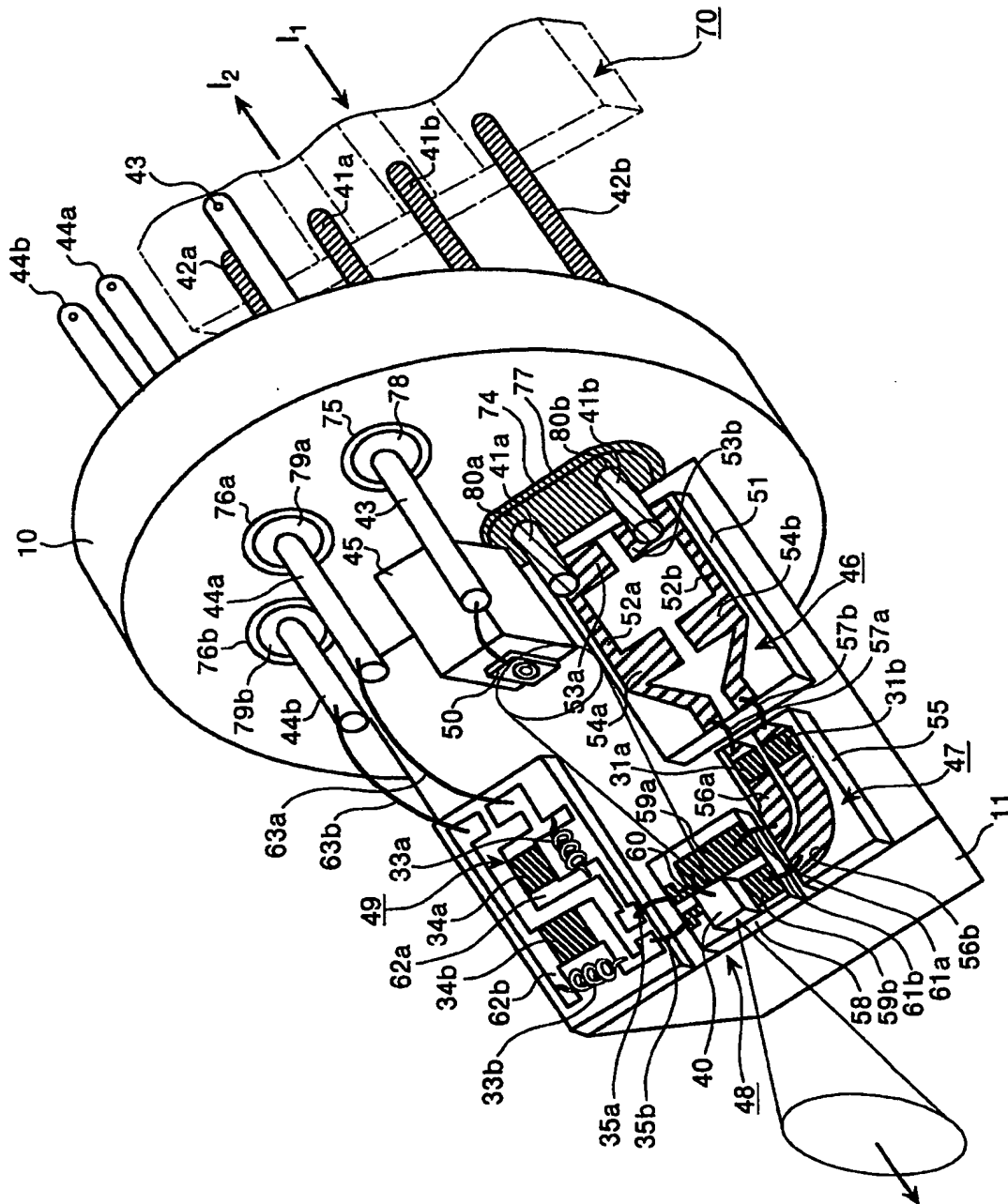
【図 3】



【図 4】

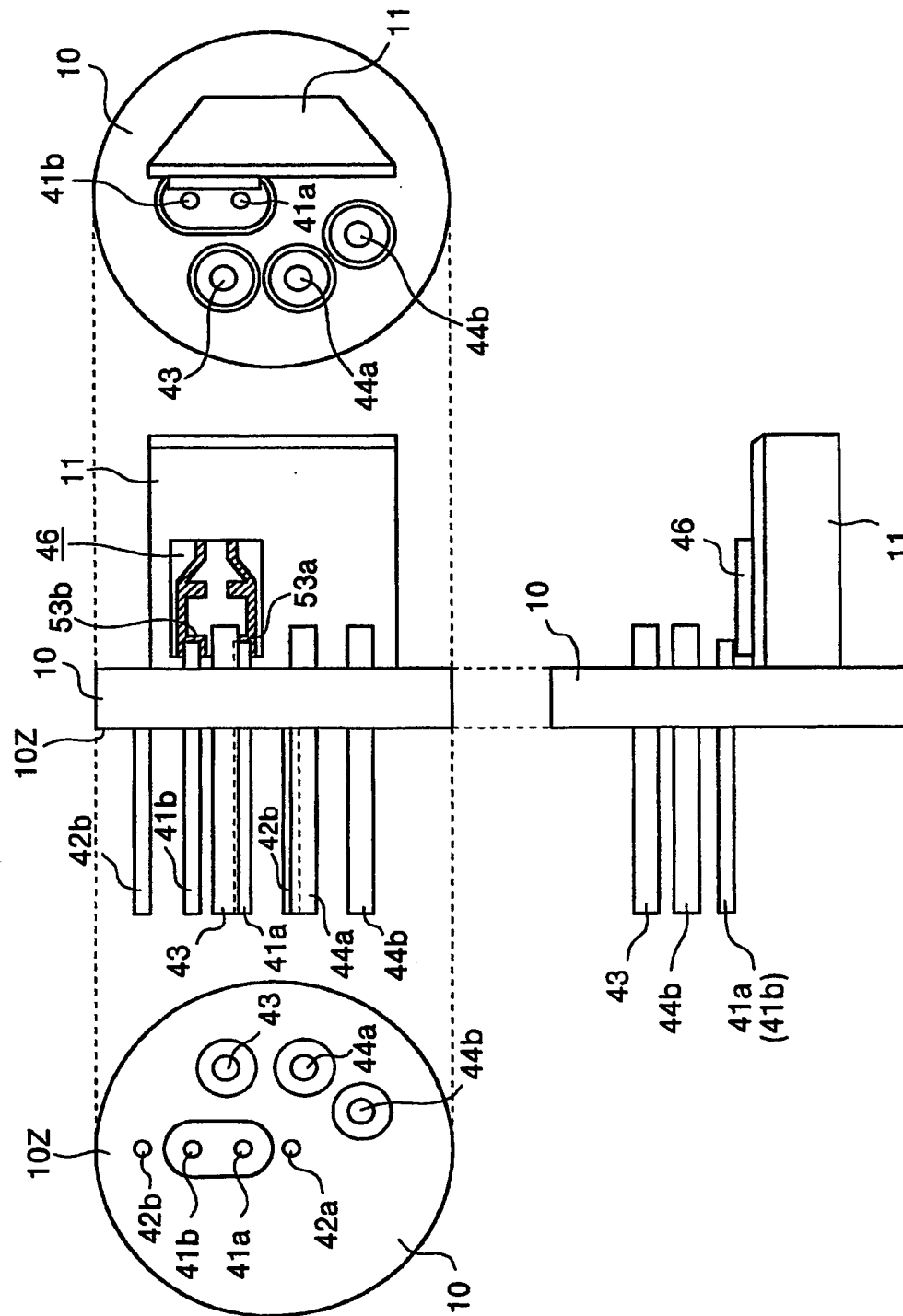


【図5】



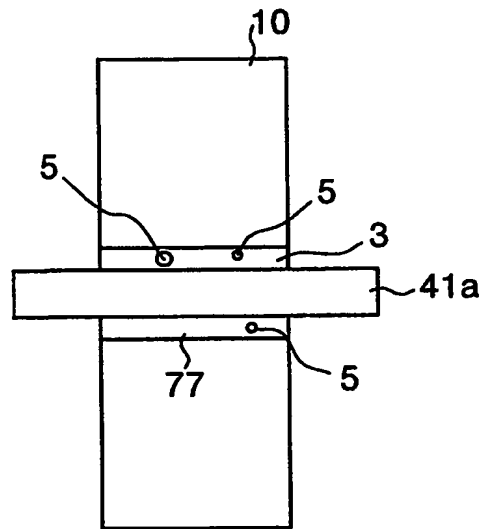


【図 7】

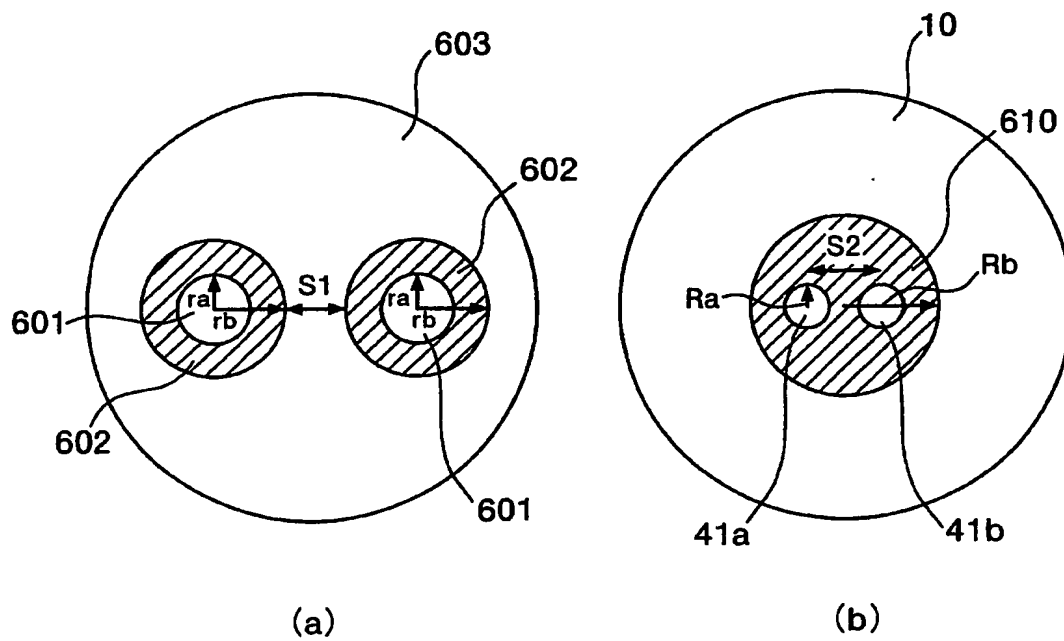




【図 8】

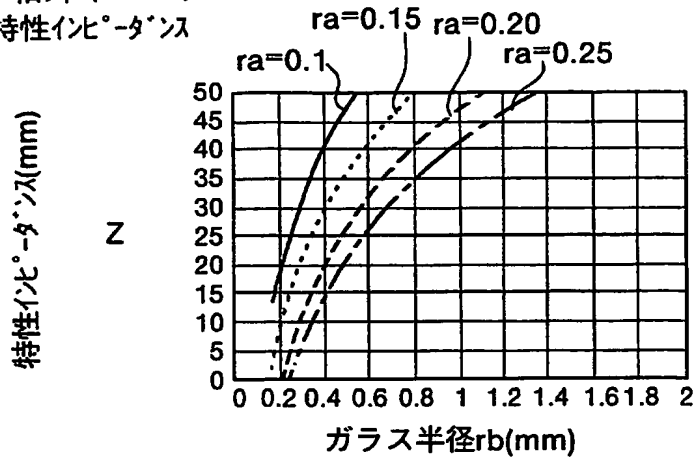


【図 9】

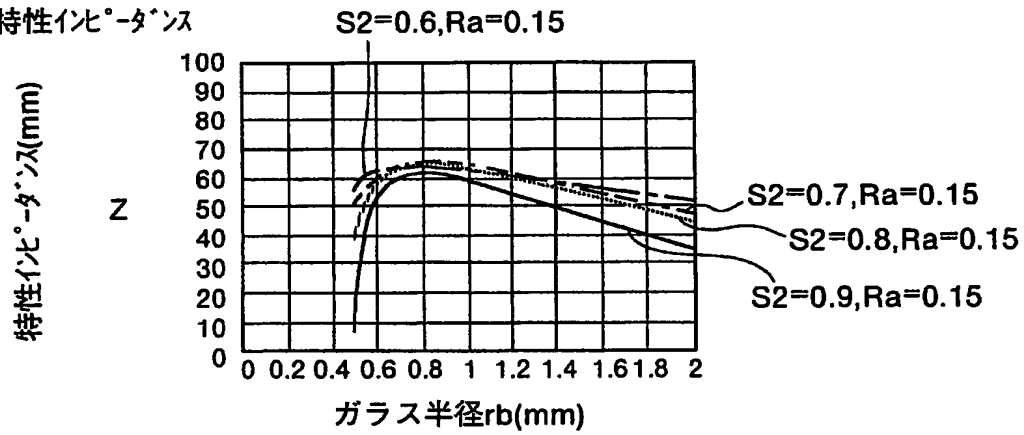


【図 10】

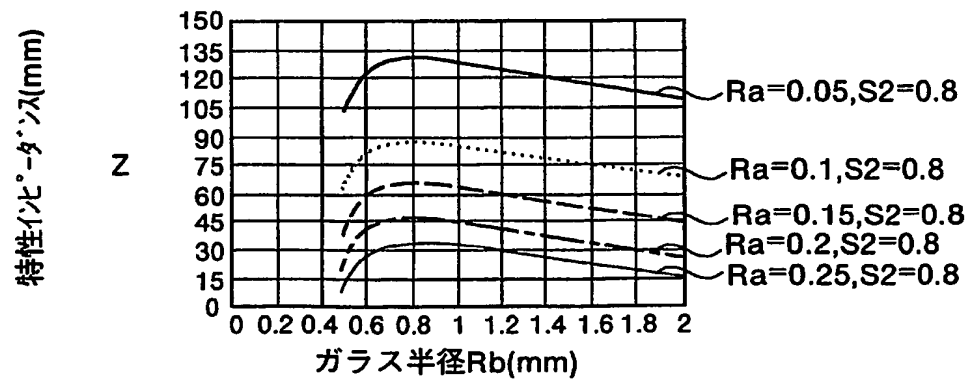
(a) 単相フィートスル-の  
特性インピーダンス



(b) 差動フィートスル-の  
特性インピーダンス

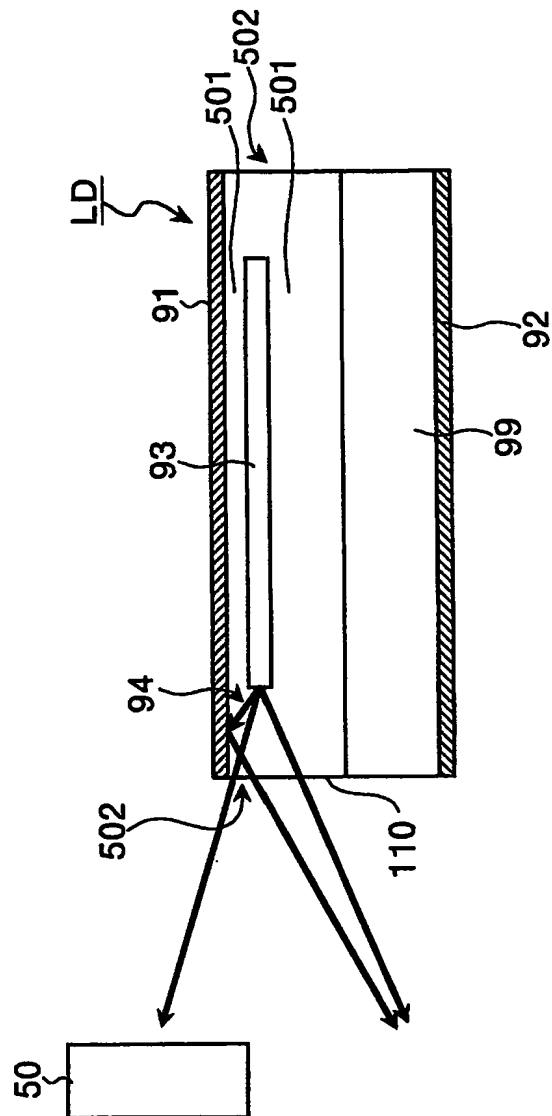


(c) 差動フィートスル-の  
特性インピーダンス

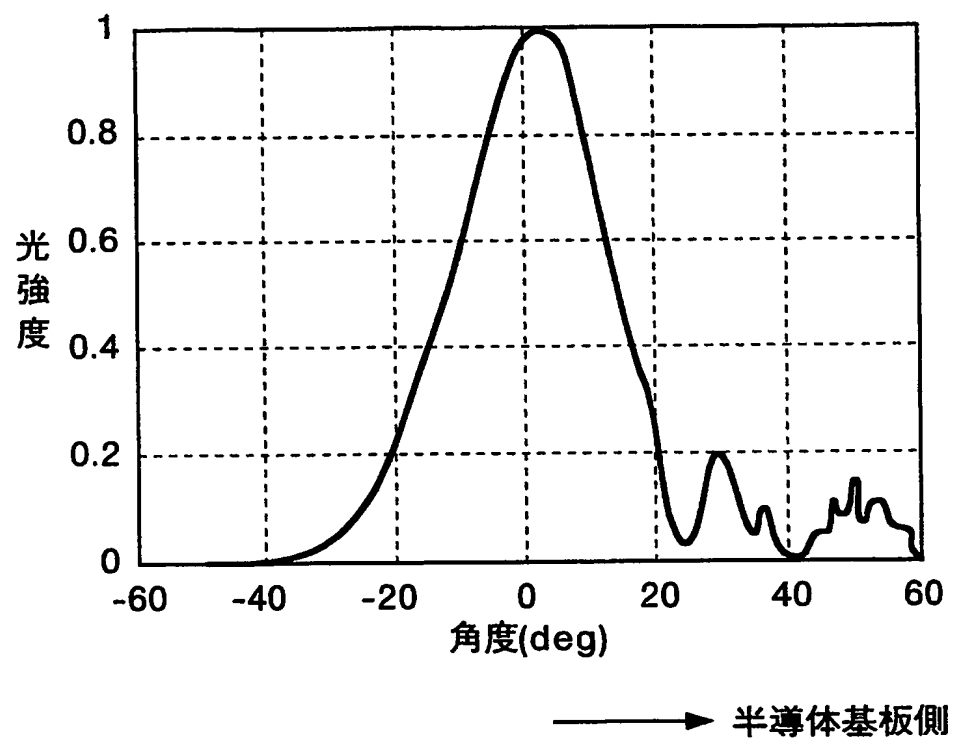




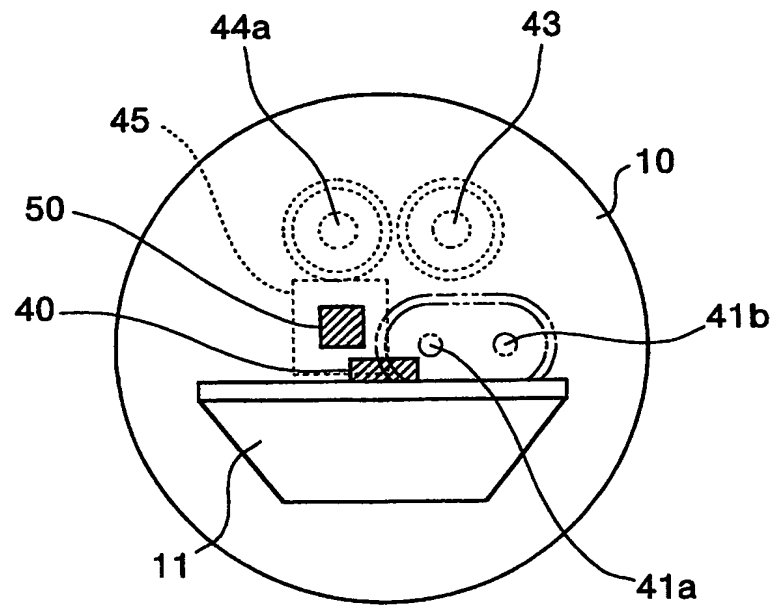
【図 13】



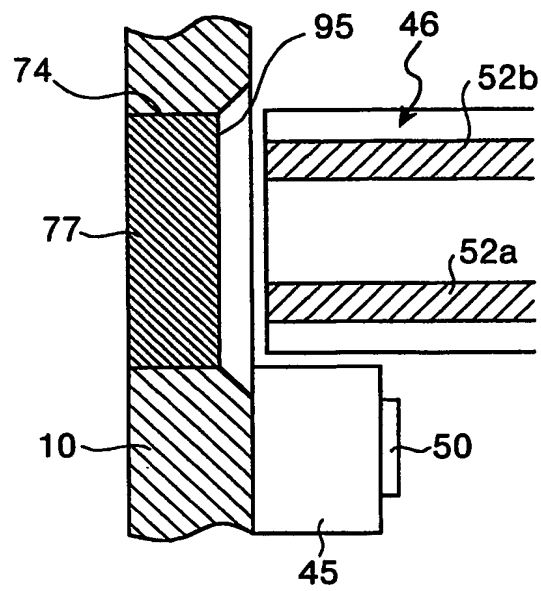
【図 14】



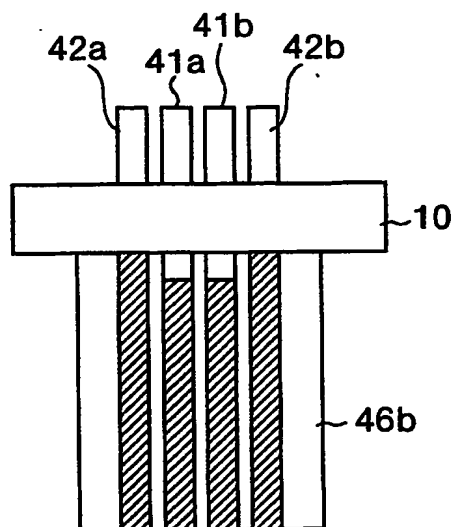
【図 15】



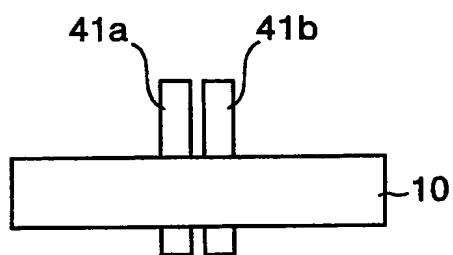
【図 16】



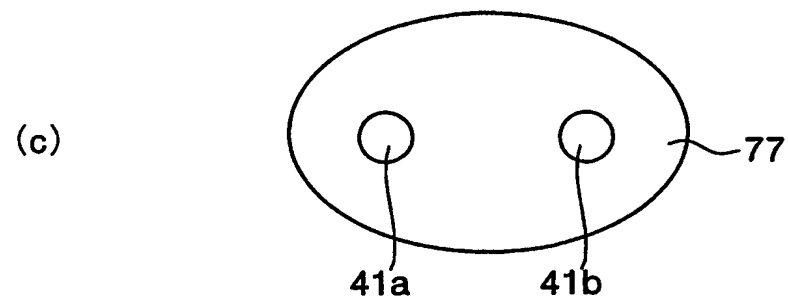
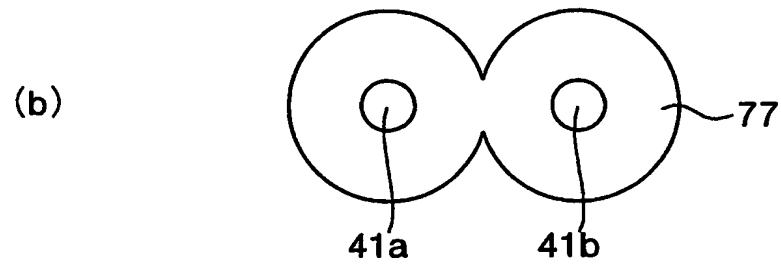
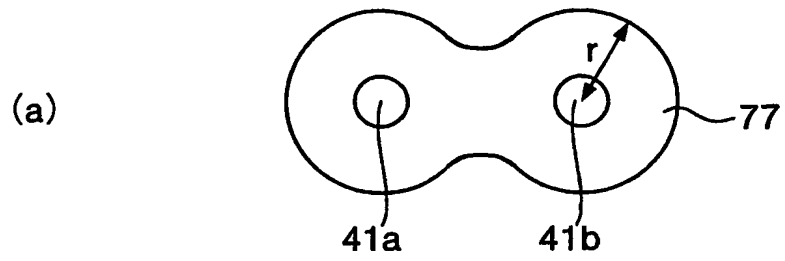
【図 17】



【図 18】

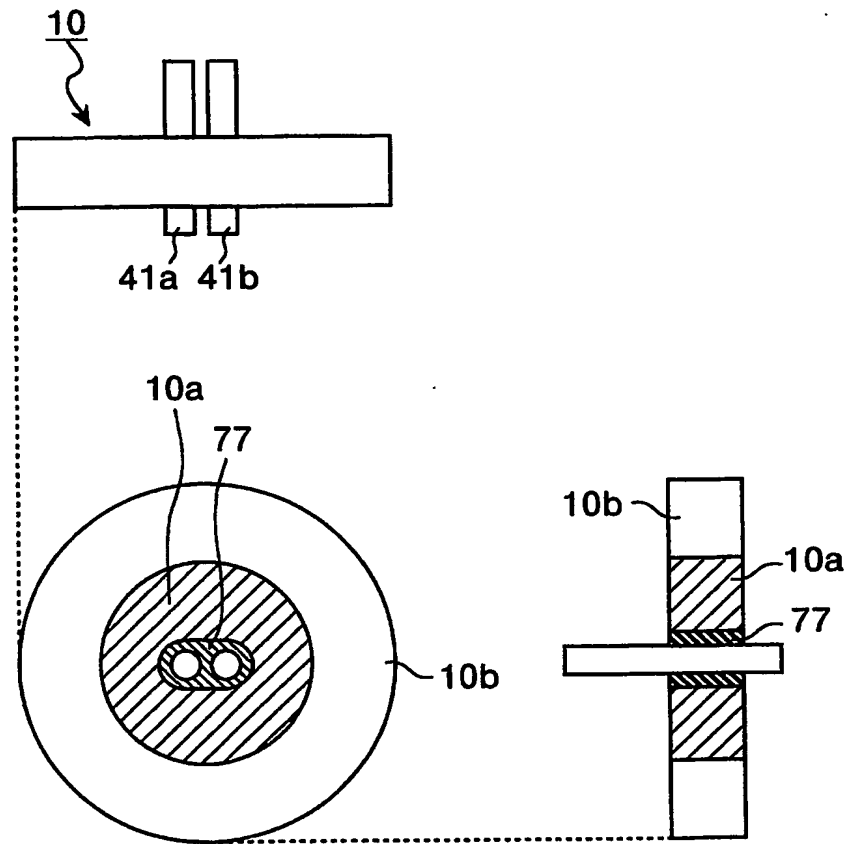


【図 19】

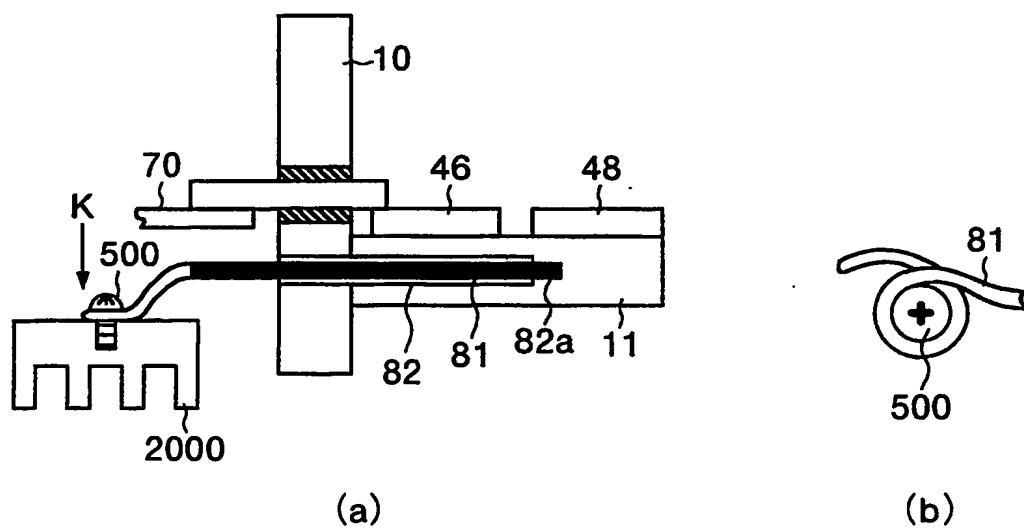




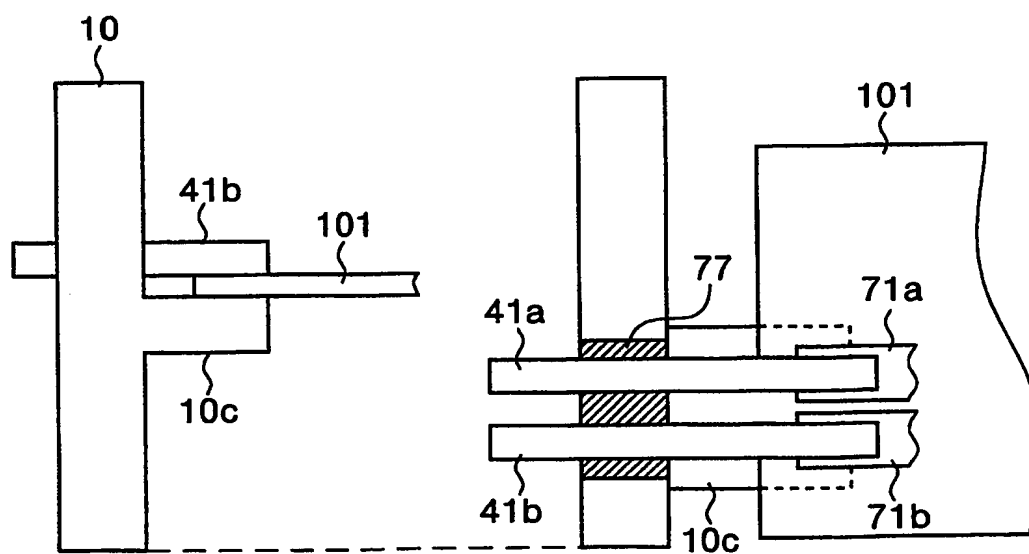
【図 20】



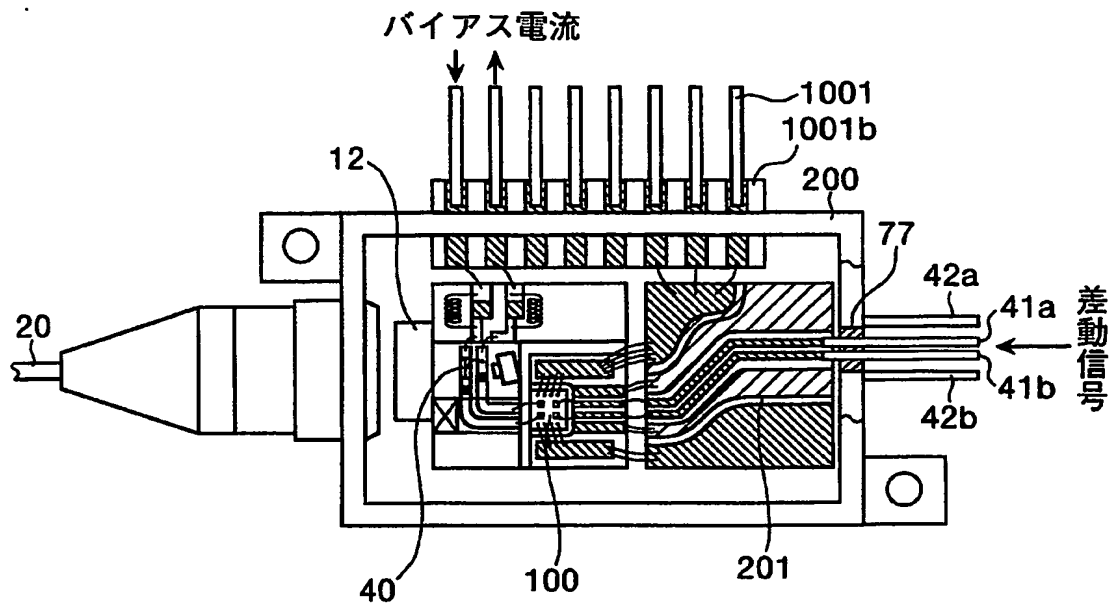
【図 2 1】



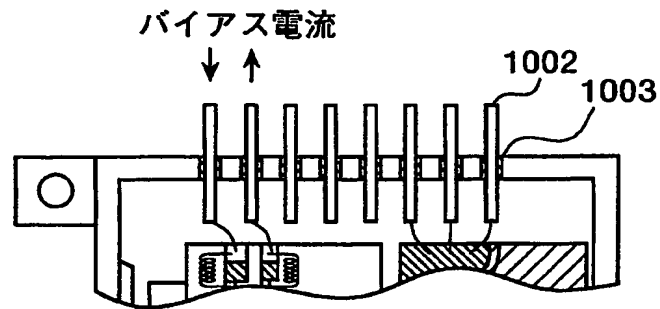
【図 2 2】



【図 23】



(a)



(b)

【書類名】 要約書

【要約】

【課題】 コストを安く維持できるとともに、高周波伝送特性が良好で10 Gbps以上の高速動作が可能な光半導体用パッケージを得ること。

【解決手段】 孔74を有するステム10と、ステム10の孔74に封入されるときともに、一対のピン挿入孔80a、80bを有する誘電体77と、誘電体77の一対のピン挿入孔80a、80bに貫通固定され、光半導体素子(LD)40に接続される差動線路を構成する一対の高周波信号ピン41a、41bとを備える。

【選択図】 図5

特願 2002-204780

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日

1990年 8月24日

[変更理由]

新規登録

住 所

東京都千代田区丸の内2丁目2番3号

氏 名

三菱電機株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**